

日 本 国 特 許  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月17日

出 願 番 号

Application Number:

特願2003-009957

[ ST.10/C ]:

[ JP 2003-009957 ]

出 願 人

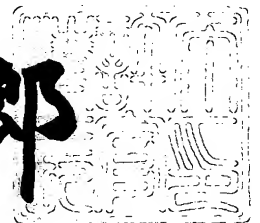
Applicant(s):

三菱電機株式会社

2003年 2月 7日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3005671

【書類名】 特許願

【整理番号】 543436JP01

【提出日】 平成15年 1月17日

【あて先】 特許庁長官殿

【国際特許分類】 F02D 45/00

【発明者】

    【住所又は居所】 東京都千代田区大手町二丁目 6 番 2 号 三菱電機エンジニアリング株式会社内

    【氏名】 橋本 光司

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

    【氏名】 中本 勝也

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100073759

    【弁理士】

    【氏名又は名称】 大岩 増雄

【選任した代理人】

    【識別番号】 100093562

    【弁理士】

    【氏名又は名称】 児玉 俊英

【選任した代理人】

    【識別番号】 100088199

    【弁理士】

    【氏名又は名称】 竹中 岑生

【選任した代理人】

【識別番号】 100094916

【弁理士】

【氏名又は名称】 村上 啓吾

【手数料の表示】

【予納台帳番号】 035264

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 車載電子制御装置

【特許請求の範囲】

【請求項 1】 少なくとも被制御車両に対応した制御プログラムが書き込まれる不揮発性のプログラムメモリ、少なくとも可変制御定数データが書き込まれる不揮発性のデータメモリ、演算処理用の R A M メモリ、および前記プログラムメモリと前記データメモリと前記 R A M メモリとに接続されたマイクロプロセッサを備え、車載センサ群からの入力信号と、前記プログラムメモリに書き込まれた制御プログラムと、前記データメモリに書き込まれた可変制御定数データとに応じて車載電気負荷群を制御する車載電子制御装置であって、

この車載電子制御装置は、さらに基準データ格納メモリ、前記データメモリに対するデータメモリ異常判定手段、および前記 R A M メモリに対する第 1 と第 2 の転送手段を備え、

前記基準データ格納メモリは、前記データメモリに書き込まれた可変制御定数データに対する基準データを格納した電氣的に書き込み可能な不揮発性メモリによって構成され、

前記データメモリ異常判定手段は、前記データメモリに書き込まれた可変制御定数データが正常と異常のいずれかを判定するように構成され、

前記第 1 の転送手段は、前記データメモリ異常判定手段によって前記データメモリに書き込まれた可変制御定数データが正常と判定されたときに作用して前記データメモリから前記 R A M メモリへ可変制御定数データを転送書き込みする手段とし、

また、前記第 2 の転送手段は、前記データメモリ異常判定手段によって前記データメモリに書き込まれた可変制御定数データが異常と判定されたときに作用して前記基準データ格納メモリから前記 R A M メモリに対して前記基準データに基づく推定可変制御定数データを書き込みする手段とし、

前記マイクロプロセッサは前記 R A M メモリに書き込みされた可変制御定数データ又は推定可変制御定数データに基づいて前記車載電気負荷群を制御することを特徴とする車載電子制御装置。

【請求項2】 少なくとも被制御車両に対応した制御プログラムが書き込まれる不揮発性のプログラムメモリ、少なくとも可変制御定数データが書き込まれる不揮発性のデータメモリ、演算処理用のRAMメモリ、および前記プログラムメモリと前記データメモリと前記RAMメモリとに接続されたマイクロプロセッサを備え、車載センサ群からの入力信号と、前記プログラムメモリに書き込まれた制御プログラムと、前記データメモリに書き込まれた可変制御定数データに応じて車載電気負荷群を制御する車載電子制御装置であって、

前記データメモリは、第1、第2のデータメモリを有し、この第1、第2のデータメモリには、複数の可変制御定数データの少なくとも一部が互いに重複して書き込まれるように構成されており、

また、前記車載電子制御装置は、さらに基準データ格納メモリ、前記第1、第2のデータメモリに対するデータメモリ異常判定手段、および前記RAMメモリに対する第1、第2および第3の転送手段を備え、

前記基準データ格納メモリは、前記第1、第2のデータメモリに書き込まれた複数の可変制御定数データのそれぞれに対する複数の基準データを書き込んだ電氣的に書込み可能な不揮発性メモリによって構成され、

前記データメモリ異常判定手段は、前記第1と第2のデータメモリに書き込まれた複数の可変制御定数データのそれぞれが正常と異常のいずれかを判定するように構成され、

前記第1の転送手段は、前記データメモリ異常判定手段によって前記第1、第2のデータメモリに書き込まれた可変制御定数データがともに正常と判定されたときに作用して前記第1と第2のデータメモリの一方のデータメモリから前記RAMメモリへ可変制御定数データを転送書き込みする手段とし、

前記第2の転送手段は、前記データメモリ異常判定手段によって前記第1、第2のデータメモリに書き込まれた可変制御定数データがともに異常と判定されたときに作用して前記基準データ格納メモリから前記RAMメモリに対して基準データに基づく推定可変制御定数データを書き込みする手段とし、

また前記第3の転送手段は、前記データメモリ異常判定手段によって前記第1、第2のデータメモリに書き込まれた可変制御定数データのいずれか一方が異常

と判定されたときに作用してその正常な方のデータメモリに書き込まれた可変制御定数データを前記RAMメモリへ転送書き込みする手段とし、

前記マイクロプロセッサは前記RAMメモリに書き込みされた可変制御定数データ又は推定可変制御定数データに基づいて車載電気負荷群を制御することを特徴とする車載電子制御装置。

【請求項3】 請求項1または2記載の車載電子制御装置であって、プログラムメモリと前記基準データ格納メモリが不揮発性のフラッシュメモリで構成され、また前記データメモリが不揮発性のEEPROMによって構成されたことを特徴とする車載電子制御装置。

【請求項4】 請求項1または2記載の車載電子制御装置であって、前記プログラムメモリが不揮発性のフラッシュメモリで構成され、また前記データメモリと前記基準データ格納メモリとが不揮発性のEEPROMによって構成されたことを特徴とする車載電子制御装置。

【請求項5】 請求項1または2記載の車載電子制御装置であって、前記基準データが、前記データメモリに書き込まれた可変制御定数データに対する上下限值データを含んでいて、上記推定可変制御定数データは上記上下限值データの平均値であることを特徴とする車載電子制御装置。

【請求項6】 請求項1または2記載の車載電子制御装置であって、前記基準データが、前記データメモリに書き込まれた可変制御定数データの代表値とともにこの代表値に対する許容変動幅に関する許容範囲データを含んでいて、上記推定可変制御定数データは上記代表値であることを特徴とする車載電子制御装置。

【請求項7】 請求項1または2記載の車載電子制御装置であって、前記データメモリは可変制御定数データとして、制御装置固有データ又は車両固有データの少なくとも一方の固有データと学習記憶データとを記憶するように構成され、

前記制御装置固有データは当該車載電子制御装置を構成する部品のばらつきを補正するための校正值データであり、初期値として一旦格納されるとその後の変化がない制御定数であり、

前記車両固有データは当該車載電子制御装置が搭載された車両の制御仕様を選択決定するための車種データと、当該車載電子制御装置に外部接続された車載センサの環境データの少なくとも一方のデータを含み、初期値として一旦格納されるとその後の変化がない制御定数であり、

また、前記学習記憶データは、当該車載電子制御装置が搭載された車両の運転特性を実測した結果として得られる運転制御データと、前記車載センサ群と前記車載電気負荷群の特性劣化に関する変動データとの少なくとも一方のデータを含み、運転開始時に初期値として一旦格納された後、所定範囲内での変動が想定される制御定数データであって、

前記基準データ格納メモリに格納される基準データは、上記制御装置固有データ又は車両固有データの少なくとも一方の固有データと、前記学習記憶データに対する基準データであり、各基準データは上下限值データ、又はその代表値とこの代表値に対する許容変動幅データのいずれか一つのデータを含んでいることを特徴とする車載電子制御装置。

【請求項 8】 請求項 1 または 2 記載の車載電子制御装置であって、前記データメモリ異常判定手段は、前記データメモリに対するビット情報の欠落・混入検出手段、および前記データメモリに書き込まれた可変制御定数データと前記基準データ格納メモリに書き込まれた基準データとを比較し前記可変制御定数データが前記基準データの許容範囲内にあるかどうかを比較する帯域比較手段を有し、これらのビット情報の欠落・混入検出手段と帯域比較手段によって前記データメモリに書き込まれた可変制御定数データが正常と異常のいずれかを判定するように構成されたことを特徴とする車載電子制御装置。

【請求項 9】 請求項 8 記載の車載電子制御装置であって、前記ビット情報の欠落・混入検出手段が、サムチェックとパリティチェックのいずれかを含んでいることを特徴とする車載電子制御装置。

【請求項 10】 請求項 1 記載の車載電子制御装置であって、さらに前記 RAMメモリに対する退避処理手段と RAM異常検出手段を備え、

前記退避処理手段は前記マイクロプロセッサによって書換え変更が行われる前記 RAMメモリ内の可変制御定数データを、所定周期又は所定の時期において前

記データメモリに上書き転送するデータ保存手段とし、

前記RAM異常検出手段は、前記RAMメモリに対するビット情報の欠落・混入検出手段と、前記第1の転送手段によってデータメモリからRAMメモリに転送書き込みされた可変制御定数データの中で書換え変更が行われるまでの可変制御定数データと前記データメモリに既に書き込み保存されている可変制御定数データとの一致を判定する一致判定手段と、前記基準データに対する帯域比較手段の少なくとも1つの手段を有し、

前記RAM異常検出手段によって前記RAMメモリに書き込まれたデータが異常と判定されたときに、前記データメモリ異常判定手段による判定を行ない、その結果に応じて、前記第1、第2の転送手段のいずれか一方の転送手段により、前記RAMメモリへの転送書き込みが実行されることを特徴とする車載電子制御装置。

【請求項11】 請求項1または10記載の車載電子制御装置であって、さらに前記データメモリ異常判定手段に応動する異常警報・表示手段を備え、

前記異常警報・表示手段は前記マイクロプロセッサが、前記第2の転送手段によって前記基準データ格納メモリから前記RAMメモリに書き込みされた推定可変制御定数データを用いて車載電気負荷の制御を行っていることを通報するものであることを特徴とする車載電子制御装置。

【請求項12】 請求項1、10または11のいずれか1項記載の車載電子制御装置であって、さらに異常履歴記憶手段、退避処理手段、および電源遅延遮断手段とを備え、

前記異常履歴記憶手段は、前記データメモリと、前記RAMメモリと、前記プログラムメモリと、前記基準データ格納メモリの少なくとも1つのメモリにおける異常発生とその異常内容を記憶して前記RAMメモリに格納する手段とし、

前記退避処理手段は、前記異常履歴記憶手段によってRAMメモリに格納された異常発生とその異常内容を前記可変制御定数データとともに前記データメモリに転送するデータ保存手段とし、

また前記電源遅延遮断手段は、電源スイッチが開路されてから少なくとも前記退避処理手段による退避処理が完了するまでの遅延時間だけ遅れて制御電源を遮



断する電源回路としたことを特徴とする車載電子制御装置。

【請求項 1 3】 請求項 2 記載の車載電子制御装置であって、さらに前記 R A M メモリに対する退避処理手段と R A M 異常検出手段を備え、

前記退避処理手段は前記マイクロプロセッサによって書換え変更が行われる前記 R A M メモリ内の可変制御定数データを、所定周期又は所定の時期において前記データメモリに上書き転送するデータ保存手段とし、

前記 R A M 異常検出手段は、前記 R A M メモリに対するビット情報の欠落・混入検出手段と、前記第 1、第 2 のデータメモリに書き込まれた複数の可変制御定数データのそれぞれと前記第 1 又は第 3 の転送手段によって R A M メモリに転送書き込みされた対応する可変制御定数データの中で書換え変更が行われるまでの可変制御定数データとの一致を判定する一致判定手段と、前記複数の基準データのそれぞれに対する帯域比較手段の少なくとも 1 つの手段を有し、

前記 R A M 異常検出手段によって前記 R A M メモリに書き込まれた可変制御定数データが異常と判定されたときに、前記データメモリ異常判定手段により前記第 1、第 2 のデータメモリに対する異常判定を行ない、その結果に応じて、上記第 1、第 2、第 3 の転送手段のいずれかにより、前記 R A M メモリへの転送書き込みが実行されることを特徴とする車載電子制御装置。

【請求項 1 4】 請求項 2 または 1 3 記載の車載電子制御装置であって、さらに相互転送補完手段を備え、

該相互転送補完手段は、前記第 1、第 2 のデータメモリ的一方が異常であるときに作用してその正常な方のデータメモリに書き込まれた可変制御定数データをその異常な方のデータメモリに転送書き込みする手段とし、

前記第 3 の転送手段は、前記第 1 の転送手段と同様に前記第 1、第 2 のデータメモリ的一方から前記 R A M メモリに可変制御定数データを転送書き込みする手段としたことを特徴とする車載電子制御装置。

【請求項 1 5】 請求項 2、1 3 または 1 4 記載の車載電子制御装置であって、さらに前記データメモリ異常判定手段に応動する異常警報・表示手段を備え、該異常警報・表示手段は、前記マイクロプロセッサが、前記第 2 の転送手段によって前記 R A M メモリに書き込みされた推定可変制御定数データと、前記第 3

の転送手段によって前記 R A M メモリに転送書き込みされた可変制御定数データとの少なくとも一方により車載電気負荷群の制御を行っていることを通報するものであることを特徴とする車載電子制御装置。

【請求項 1 6】 請求項 2、1 3、1 4、1 5 のいずれか 1 項記載の車載電子制御装置であって、さらに異常履歴記憶手段、退避処理手段、および電源遅延遮断手段を備え、

前記異常履歴記憶手段は、前記第 1、第 2 のデータメモリと、前記 R A M メモリと、前記プログラムメモリと、前記基準データ格納メモリの少なくとも 1 つのメモリにおける異常発生とその異常内容を記憶して前記 R A M メモリに格納する手段とし、

前記退避処理手段は、前記異常履歴記憶手段によって前記 R A M メモリに格納された異常の内容を前記可変制御定数データとともに前記第 1、第 2 のデータメモリに転送するデータ保存手段とし、

前記電源遅延遮断手段は、電源スイッチが開路されてから少なくとも前記退避処理手段による退避処理が完了するまでの遅延時間だけ遅れて制御電源を遮断する電源回路としたことを特徴とする車載電子制御装置。

【請求項 1 7】 請求項 1 から 1 6 のいずれか 1 項記載の車載電子制御装置であって、さらにシステム異常判定手段、異常記憶手段、および駆動停止手段を備え、

前記システム異常判定手段は、前記プログラムメモリと前記基準データ格納メモリとに対するビット情報の欠落・混入検出手段を有し、このビット情報の欠落・混入検出手段によってシステムの正常と異常のいずれかの判定を行なうように構成され、

前記異常記憶手段は、前記システム異常判定手段が異常の判定を行なったことを記憶すると共に、電源投入時にリセットされる異常動作記憶回路とし、

また前記駆動停止手段は、前記異常動作記憶回路が異常を記憶しているときに作用して前記車載電気負荷群の少なくとも一部に対する負荷電源リレーの駆動出力を停止する論理回路としたことを特徴とする車載電子制御装置。

【請求項 1 8】 請求項 1 7 記載の車載電子制御装置であって、さらにウオ

ッチドッグタイマを備え、

該ウォッチドッグタイマは、前記マイクロプロセッサが発生するウォッチドッグ信号のパルス幅が異常であるときに前記マイクロプロセッサを一時的にリセットして再起動させるリセット信号出力を発生するタイマ回路とし、

前記異常記憶手段は前記タイマ回路の出力によっても異常記憶動作を行うことを特徴とする車載電子制御装置。

【請求項19】 請求項1から16のいずれか1記載の車載電子制御装置であって、さらにシステム異常判定手段とリセット手段と計数手段と駆動停止手段とを備え、

前記システム異常判定手段は、前記プログラムメモリと前記基準データ格納メモリとに対するビット情報の欠落・混入検出手段を有し、このビット情報の欠落・混入検出手段によってシステムの正常と異常のいずれかを判定するように構成され、

前記リセット手段は、前記システム異常判定手段がシステムの異常判定を行なったときに作用して前記マイクロプロセッサを一時的にリセットして再起動させる手段とし、

前記計数手段は、前記リセット手段によるマイクロプロセッサのリセット回数が所定値を超過したときに計数出力を発生するとともに電源投入時にリセットされるカウンタ回路とし、

また、前記駆動停止手段は、前記カウンタ回路が計数出力を発生しているときに作用して前記車載電気負荷群の少なくとも一部に対する負荷電源リレーの駆動出力を停止する論理回路としたことを特徴とする車載電子制御装置。

【請求項20】 請求項19記載の車載電子制御装置であって、さらにウォッチドッグタイマを備え、

該ウォッチドッグタイマは、前記マイクロプロセッサが発生するウォッチドッグ信号のパルス幅が異常であるときに前記マイクロプロセッサを一時的にリセットして再起動させるリセット信号出力を発生するタイマ回路とし、

前記計数手段は前記タイマ回路の出力によっても異常計数動作を行うことを特徴とする車載電子制御装置。

## 【発明の詳細な説明】

【 0 0 0 1 】

## 【発明の属する技術分野】

この発明は、例えば自動車用エンジンの燃料供給制御や給気用スロットル弁の開閉制御等を行う車載電子制御装置に関するものであり、とくにマイクロプロセッサと併用されて各種可変制御定数データが書き込まれる不揮発性のデータメモリにおいて、このデータメモリの異常発生時における代替運転を可能にした改良された車載電子制御装置に関するものである。

【 0 0 0 2 】

## 【従来の技術】

外部ツールから被制御車種対応の制御プログラムと制御定数等が書き込まれる不揮発性のプログラムメモリ、可変制御定数データが書き込まれる不揮発性のデータメモリ、演算処理用のRAMメモリ、および前記プログラムメモリと前記データメモリと前記RAMメモリとに接続されたマイクロプロセッサを備え、車載センサ群からの入力信号と、前記プログラムメモリと前記データメモリの内容に応じて車載電気負荷群を制御する車載電子制御装置において、前記データメモリをEEPROM等の電氣的に書込みが容易な不揮発性のデータメモリで構成し、このデータメモリに対して各種学習データ、車両固有データ、解析・メンテナンスデータ等を書き込んで、効果的な運転制御データおよび外部ツールによる診断データとして活用することは広く実用されている。

【 0 0 0 3 】

特開2001-182607号公報および特開平10-252547号公報に開示された「車両制御装置」では、制御対象の経時変化や個体差などの影響をなくするために、過去の制御結果を評価して制御パラメータや制御理論を修正するための学習データに関して、バッテリー配線の遮断やバッテリー電圧の異常低下に対応するために前記学習データをRAMメモリからEEPROMメモリに保存書き込みしている途中に、偶然に電源スイッチが遮断される恐れがあることに対する改善対策が述べられている。

【 0 0 0 4 】

特開 2 0 0 0 - 1 8 5 6 0 6 号公報に開示された「車載電子制御ユニットと同電子制御ユニットの交換方法」では、E E P R O M等の不揮発性のデータメモリに対してV I Nコード（車両固有データ）番号を書き込んでおいて、不具合発生等によって車載電子制御ユニットを交換、取付けするときの作業性を改善することが述べられている。

また、特開平 8 - 1 2 1 2 3 8 号公報に開示された「車両情報記憶装置」では、長期にわたる解析・メンテナンスデータをE E P R O Mに書き込み保存するために、必要なデータを所定期間毎に抽出、記憶する手段が述べられている。

【 0 0 0 5 】

その他、この発明に関連して、特開 2 0 0 0 - 2 5 7 5 0 2 号公報に開示された「自動車用電子制御装置」では、電源スイッチを遮断した車両運転停止後において、電子制御装置の電源は遅延遮断し、この間にR A Mメモリデータを、プログラムメモリであるフラッシュメモリとデータメモリとの両方またはいずれか一方を構成するE E P R O Mに適宜分割書き込みすることが述べられている。

さらに、特開 2 0 0 1 - 2 2 7 4 0 2 号公報に開示された「車載電子制御装置」では、マイクロプロセッサの負担を軽減させながらプログラムメモリのチェックサムを行うことが述べられている。

【 0 0 0 6 】

【特許文献 1】

特開 2 0 0 1 - 1 8 2 6 0 7 号公報

【特許文献 2】

特開平 1 0 - 2 5 2 5 4 7 号公報

【特許文献 3】

特開 2 0 0 0 - 1 8 5 6 0 6 号公報

【特許文献 4】

特開平 8 - 1 2 1 2 3 8 号公報

【特許文献 5】

特開 2 0 0 0 - 2 5 7 5 0 2 号公報

【特許文献 6】

特開 2001-227402 号公報

【0007】

【発明が解決しようとする課題】

(1) 従来技術の課題の説明

これらの先行技術は、いずれも車載電子制御装置における E E P R O M メモリ等の不揮発性のデータメモリの活用とこのデータメモリに対する記憶データの書き込み方法や書き込みタイミングの改善に関するものであって、万一にも不揮発性のデータメモリに記憶保存されているデータに異常があった場合の取り扱いについては論及されていない。

不揮発性のデータメモリに格納されるデータが、単に過去の履歴情報であってその内容が現在や今後の運転制御に影響を与えないデータであれば安全上の問題はないが、マイクロプロセッサの動作に影響のある可変制御定数データが格納されている場合には安全上の問題点となる。

【0008】

(2) 発明の目的の説明

この発明の目的は、このような問題を改善して、不揮発性のデータメモリの異常診断と異常時の対策手段を講じることによって車両制御の安全性を向上するとともに、不揮発性のデータメモリの有効活用とその活用範囲を拡大することができる車載電子制御装置を提供するものである。

【0009】

【課題を解決するための手段】

この発明による車載電子制御装置は、少なくとも被制御車両に対応した制御プログラムが書き込まれる不揮発性のプログラムメモリ、少なくとも可変制御定数データが書き込まれる不揮発性のデータメモリ、演算処理用の R A M メモリ、および前記プログラムメモリと前記データメモリと前記 R A M メモリとに接続されたマイクロプロセッサを備え、車載センサ群からの入力信号と、前記プログラムメモリに書き込まれた制御プログラムと、前記データメモリに書き込まれた可変制御定数データとに応じて車載電気負荷群を制御する車載電子制御装置であって、この車載電子制御装置は、さらに基準データ格納メモリ、前記データメモリに

対するデータメモリ異常判定手段、および前記RAMメモリに対する第1と第2の転送手段を備えている。

この車載電子制御装置の前記基準データ格納メモリは、前記データメモリに書き込まれた可変制御定数データに対する基準データを格納した電氣的に書込み可能な不揮発性メモリによって構成され、前記データメモリ異常判定手段は、前記データメモリに書き込まれた可変制御定数データが正常と異常のいずれかを判定するように構成され、前記第1の転送手段は、前記データメモリ異常判定手段によって前記データメモリに書き込まれた可変制御定数データが正常と判定されたときに作用して前記データメモリから前記RAMメモリへ可変制御定数データを転送書き込みする手段とし、また、前記第2の転送手段は、前記データメモリ異常判定手段によって前記データメモリが異常と判定されたときに作用して前記基準データ格納メモリから前記RAMメモリに対して前記基準データに基づく推定可変制御定数データを書き込みする手段とされる。

この車載電子制御装置の前記マイクロプロセッサは、前記RAMメモリに転送書き込みされた可変制御定数データに基づいて前記車載電気負荷群を制御するようになっている。

#### 【0010】

かかる構成に基づき、データメモリの異常時においても、RAMメモリに転送書き込みされた推定可変制御定数データを用いて、車両の運転が可能となる。併せて、安全上および性能上の重要な可変制御定数データも、書き換えが容易な不揮発性のデータメモリに格納しておくことができる。また学習手段によってマイクロプロセッサによって書換え補正されたRAMメモリ内の可変制御定数データはデータメモリ内に上書き転送保存しておくことにより、補正された可変制御定数データに基づき、より効果的な車両制御を行なうことができる。

#### 【0011】

また、この発明による別の車載電子制御装置は、少なくとも被制御車両に対応した制御プログラムが書き込まれる不揮発性のプログラムメモリ、少なくとも可変制御定数データが書き込まれる不揮発性のデータメモリ、演算処理用のRAMメモリ、および前記プログラムメモリと前記データメモリと前記RAMメモリと

に接続されたマイクロプロセッサを備え、車載センサ群からの入力信号と、前記プログラムメモリに書き込まれた制御プログラムと、前記データメモリに書き込まれた可変制御定数データに応じて車載電気負荷群を制御する車載電子制御装置であって、前記データメモリは、第 1、第 2 のデータメモリを有し、この第 1、第 2 のデータメモリには、複数の可変制御定数データの少なくとも一部が互いに重複して書き込まれるように構成されており、また前記車載電子制御装置は、さらに基準データ格納メモリ、前記第 1、第 2 のデータメモリに対するデータメモリ異常判定手段、および前記 R A M メモリに対する第 1、第 2 および第 3 の転送手段を備えている。この車載電子制御装置の前記基準データ格納メモリは、前記第 1、第 2 のデータメモリに書き込まれた複数の可変制御定数データのそれぞれに対する複数の基準データを書き込んだ電氣的に書込み可能な不揮発性メモリによって構成されている。前記データメモリ異常判定手段は、前記第 1 と第 2 のデータメモリに書き込まれた複数の可変制御定数データのそれぞれが正常と異常のいずれかを判定するように構成されている。また、前記第 1 の転送手段は、前記データメモリ異常判定手段によって前記第 1、第 2 のデータメモリに書き込まれた可変制御定数データがともに正常と判定されたときに作用して前記第 1 と第 2 のデータメモリの一方のデータメモリから前記 R A M メモリへ可変制御定数データを転送書き込みする手段とされている。また、前記第 2 の転送手段は、前記データメモリ異常判定手段によって前記第 1、第 2 のデータメモリに書き込まれた可変制御定数データがともに異常と判定されたときに作用して前記基準データ格納メモリから前記 R A M メモリに対して基準データに基づく推定可変制御定数データを書き込みする手段とされている。さらにまた、前記第 3 の転送手段は、前記データメモリ異常判定手段によって前記第 1、第 2 のデータメモリに書き込まれた可変制御定数データのいずれかが異常と判定されたときに作用してその正常な方のデータメモリから前記 R A M メモリへ可変制御定数データを転送書き込みする手段とされている。そして、前記マイクロプロセッサが前記 R A M メモリに書き込みされた可変制御定数データ又は推定可変制御定数データに基づいて車載電気負荷群を制御するようになっている。

【 0 0 1 2 】



かかる構成に基づき、第1、第2のデータメモリの異常時においても、RAMメモリに書き込みされた推定可変制御定数データを用いて、車両の運転が可能となる。併せて、安全上および性能上の重要な可変制御定数データも、書き換えが容易な不揮発性の第1、第2のデータメモリに格納しておくことができる。また学習手段によってマイクロプロセッサによって書き換え補正されたRAMメモリ内の可変制御定数データはデータメモリ内に上書き転送保存しておくことにより、補正された可変制御定数データに基づき、より効果的な車両制御を行なうことができる。

【0013】

【発明の実施の形態】

実施の形態1.

(1) 実施の形態1の構成の詳細な説明

以下この発明の車載電子制御装置の実施の形態1の全体ブロック構成図を示す図1について説明する。

【0014】

図1には実施の形態1の車載電子制御装置が点線のブロック100aで示されている。この車載電子制御装置100aは、その点線のブロックの周囲に示された外部機器と、その点線のブロックの内部に示された内部機器を有する。この内部機器は一枚の電子基板上に搭載され密閉筐体に収納される。

【0015】

まず、車載電子制御装置100aの外部機器は、オンオフタイプ（デジタルタイプ）の車載センサ群101、アナログタイプの車載センサ群102、オンオフタイプの車載電気負荷群103、外部ツール104、車載バッテリー105、異常警報・表示手段106a、負荷電源リレー106b、電源スイッチ107、および電源リレー108aを含んでいる。

【0016】

オンオフタイプの車載センサ群101は、例えばエンジン回転センサ、クランク角センサ、車速センサ等を含む。アナログタイプの車載センサ群102は、例えばアクセルポジションセンサ、スロットルポジションセンサ、水温センサ、排

気ガスの酸素濃度センサ、エアフローセンサなどを含む。オンオフタイプの車載電気負荷群103は、例えばエンジンの点火コイル、燃料噴射制御用電磁弁、給気スロットルの弁開度制御用モータなどを含む。外部ツール104は、車載電子制御装置100aの出荷時または保守点検時に、車載電子制御装置100aに対して図示しない脱着コネクタを介して接続され、後述の不揮発性のプログラムメモリ111aに制御プログラムおよび制御定数を転送書き込みし、また車載電子制御装置100aの内部の状態を読み出し、点検するためのものである。

#### 【0017】

負荷電源リレー106bは、図示しない出力接点を有する。電源スイッチ107は、例えばイグニションスイッチである。電源リレー108aは出力接点108b、108cを有する。電源リレー108aは車載バッテリー105から電源スイッチ107の閉路動作と連動して付勢され、出力接点108b、108cをオンさせる。出力接点108cのオンによって車載電気負荷群103に対する電源回路を閉成し、また出力接点108bのオンによって車載バッテリー105から車載電子制御装置100aの制御電源ユニット118に対する給電回路を閉成するようになっている。

なお、車載バッテリー105と車載電子制御装置100aの制御電源ユニット118の間には、電源スイッチ107と、出力接点108bの他に、電源スイッチ107が開路している時にもスリープ給電されるよう直接接続回路も設けられている。

また、車載電気負荷群103の一部は負荷電源リレー106bの図示しない出力接点を介して電源回路が閉成されるようになっている。

#### 【0018】

車載電子制御装置100aの内部機器は、マイクロプロセッサ110、プログラムメモリ111a、データメモリ112、RAMメモリ113、インターフェイス回路114、115、116、117、制御電源ユニット118、電源検出回路119、ウォッチドッグタイマ120、カウンタ（計数手段）121a、駆動停止手段122を含んでいる。

#### 【0019】

マイクロプロセッサ 110 は、例えば 32 ビットのマイクロプロセッサである。プログラムメモリ 111a は、フラッシュメモリからなる不揮発性メモリで構成され、該フラッシュメモリは多数バイトのデータを外部ツール 104 によって一括して電氣的に消去・書き込みすることができる大容量のメモリとなっている。

データメモリ 112 は、EEPROM からなる不揮発性メモリで構成され、情報の書き込みと消去は外部ツール 104 によらなくてもマイクロプロセッサ 110 によって 1 バイト単位で電氣的に行なわれるが上記フラッシュメモリに比べると小容量で割高なメモリである。

また、EEPROM は RAM メモリに比べて書き込み所要時間が長いので、少なくともエンジンの高速回転時にはマイクロプロセッサから書き込むことが困難であり、低速回転又はエンジン停止中で書き込みを行う必要があるメモリである。

RAM メモリ 113 はランダムアクセスメモリであって、演算処理用に使われる。プログラムメモリ 111a は双方向性バスを介してマイクロプロセッサに接続され、データメモリ 112 は双方向性シリアルバスを介してマイクロプロセッサ 110 に接続され、また RAM メモリ 113 は双方向性バスを介してマイクロプロセッサ 110 に接続される。

#### 【0020】

プログラムメモリ 111a は、基準データ格納メモリ 111b を含んで構成される。この基準データ格納メモリ 111b は、プログラムメモリ 111a のメモリ領域の一部を使用して構成される。

#### 【0021】

インターフェイス回路 114 はオンオフタイプの車載センサ群 101 とマイクロプロセッサ 110 とを接続するデジタル入力インターフェイス回路であり、信号電圧レベルの変換回路、ノイズフィルタ、データセクタ等によって構成される。インターフェイス回路 115 はアナログタイプの車載センサ群 102 とマイクロプロセッサ 110 とを接続するアナログ入力インターフェイス回路であり、ノイズフィルタ、多チャンネル AD 変換器、データセクタ等によって構成さ

れる。インターフェイス回路 1 1 6 は車載電気負荷群 1 0 3 とマイクロプロセッサ 1 1 0 とを接続する出力インターフェイス回路であり、出力ラッチメモリ、パワートランジスタによって構成される。インターフェイス回路 1 1 7 は外部ツール 1 0 4 とシリアル接続されるツールインタフェース回路であり、外部ツール 1 0 4 はこのツールインターフェイス回路 1 1 7 によってマイクロプロセッサ 1 1 0 に接続される。

#### 【 0 0 2 2 】

制御電源ユニット 1 1 8 は、車載バッテリー 1 0 5 から直接給電を受け、また電源スイッチ 1 0 7 または電源リレー 1 0 8 a の出力接点 1 0 8 b を介して車載バッテリー 1 0 5 から給電を受ける。この制御電源ユニット 1 1 8 は、車載電子制御装置 1 0 0 a 内で使用される安定化制御電源出力を発生する。

電源検出回路 1 1 9 は、電源スイッチ 1 0 7 が閉路したことを検出し、カウンタ（計数手段） 1 2 1 a のリセット入力 R にパルス出力を供給して、このカウンタの計数現在値を 0 に初期化するとともに、計数出力をクリアするようになっている。

ウォッチドッグタイマ 1 2 0 は、マイクロプロセッサ 1 1 0 が発生するパルス列であるウォッチドッグ信号 WD を監視して、このウォッチドッグ信号 WD のパルス幅が所定値を超過した時にリセット信号出力 R S T を発生してマイクロプロセッサ 1 1 0 を再起動させるようになっている。

#### 【 0 0 2 3 】

カウンタ（計数手段） 1 2 1 a は、計数入力 C とリセット入力 R を備えたカウンタであり、このカウンタ 1 2 1 a は計数入力 C の論理レベルが LOW レベル（低レベル）から HIGH レベル（高レベル）に変化した回数が所定値以上となった時に計数出力を発生するようになっている。このカウンタ 1 2 1 a の計数入力 C には、マイクロプロセッサ 1 1 0 が発生するエラー出力 E R 2 と、ウォッチドッグタイマ 1 2 0 のリセット信号出力 R S T とが接続されている。

駆動停止手段 1 2 2 は論理回路、具体的には論理積素子で構成され、この論理積素子の入力にはカウンタ 1 2 1 a による計数出力の論理反転入力と、マイクロプロセッサ 1 1 0 による負荷電源駆動出力 D R 2 が接続され、論理積素子 1 2 2

の出力には負荷電源リレー 1 0 6 b が接続されている。

なお、異常警報・表示器 1 0 6 a はマイクロプロセッサ 1 1 0 が発生するエラー出力 E R 1 によって駆動されるようになっている。

#### 【 0 0 2 4 】

車載電子制御装置 1 0 0 a はさらに、駆動回路素子である N P N トランジスタ 1 2 3、抵抗 1 2 4、1 2 5、1 2 6 を含んでいる。トランジスタ 1 2 3 のコレクタ端子は電源リレー 1 0 8 a の電磁コイルに接続されている。抵抗 1 2 4、1 2 5 は電源スイッチ 1 0 7 を介して車載バッテリー 1 0 5 に接続され、それらの接続点はトランジスタ 1 2 3 のベース端子に接続されている。抵抗 1 2 4 は第 1 駆動抵抗であり、電源スイッチ 1 0 7 が閉路したときにトランジスタ 1 2 3 を導通させる。抵抗 1 2 5 は安定抵抗であり、トランジスタ 1 2 3 のベースとエミッタ端子間に接続されている。抵抗 1 2 6 は第 2 駆動抵抗であり、マイクロプロセッサ 1 1 0 の駆動出力 D R 1 をトランジスタ 1 2 3 のベース端子に接続し、マイクロプロセッサ 1 1 0 が発生する駆動出力 D R 1 によってトランジスタ 1 2 3 を導通させる。電源スイッチ 1 0 7 が一旦閉路して電源リレー 1 0 8 a が動作して、マイクロプロセッサ 1 1 0 が動作することによって駆動出力 D R 1 が発生すると、電源スイッチ 1 0 7 を開路しても、駆動出力 D R 1 の出力を停止するまでは電源リレー 1 0 8 a の動作を継続保持することができるようになっている。

なお、電源リレー 1 0 8 a が付勢されていても、負荷電源リレー 1 0 6 b を消勢することにより、例えば吸気スロットル弁の開閉駆動用モータ等の車両の安全走行に重大な影響を及ぼす一部の車載電気負荷に対する給電を停止することができるよう構成されている。この場合、負荷電源リレー 1 0 6 b が消勢されても、電源リレー 1 0 8 a の付勢により、燃料噴射制御制御およびエンジン点火制御などの基本機能は活かすように制御され、この制御によって車の退避運転を確保する。

#### 【 0 0 2 5 】

##### ( 2 ) 実施の形態 1 の作用・動作の詳細な説明

図 1 のように構成されたこの発明の実施の形態 1 について、その作用動作について説明する。

図 1 において、マイクロプロセッサ 1 1 0 は、オンオフタイプの車載センサ群 1 0 1 の動作状態と、アナログタイプの車載センサ群 1 0 2 の信号レベルと、プログラムメモリ 1 1 1 a とデータメモリ 1 1 2 の内容とに応じて車載電気負荷群 1 0 3 を制御する。プログラムメモリ 1 1 1 a およびデータメモリ 1 1 2 には、予め外部ツール 1 0 4 から制御プログラムおよび制御定数が書き込まれている。プログラムメモリ 1 1 1 a には、制御プログラムに加え、固定制御定数が書き込まれる。

【 0 0 2 6 】

データメモリ 1 1 2 には、第 1、第 2、第 3 のデータが予め書き込まれるとともに、後述の退避処理工程において異常履歴情報が書き込まれる。この第 1 のデータは、車載電子制御装置 1 0 0 a の制御装置固有データである。この制御装置固有データは、例えば当該車載電子制御装置に内蔵された定電圧電源装置の出力電圧精度、A/D 変換器の変換精度等の部品ばらつきを補正するための校正値データであり、個々の車載電子制御装置 1 0 0 a では異なる値であっても、各車載電子制御装置 1 0 0 a の出荷試験段階で初期値として一旦格納されるとその後の変化がない半固定的な可変制御定数データである。

【 0 0 2 7 】

データメモリ 1 1 2 に書き込まれる第 2 のデータは車両固有データであり、また第 3 のデータは、学習記憶データである。

この車両固有データは、当該車載電子制御装置 1 0 0 a が搭載された車両の制御仕様を選択決定するための車種データ、或いは当該車載電子制御装置 1 0 0 a に外部接続された車載センサの特性精度情報等の環境データであり、車両に搭載されるまでは確定せず、搭載車両に応じて決定される。この車両固有データは、複数の車両のそれぞれに搭載された個々の車載電子制御装置 1 0 0 a では、互いに異なる値であっても、1 つの車両に搭載された 1 つの車載電子制御装置 1 0 0 a では、その搭載車両に応じて初期値として格納され、また一旦格納されるとその後の変化がない半固定的な可変制御定数データである。

【 0 0 2 8 】

データメモリ 1 1 2 に第 3 のデータとして書き込まれる学習記憶データは、車

両の運転特性を実測した結果として得られる運転制御データ、或いは車載センサ、電気負荷の特性劣化等に関するの変動データであり、運転開始時に初期値として一旦格納された後、車両の運転経過に応じた学習効果により、所定範囲内で変動することが想定される流動的な可変制御定数データである。具体的には、これらの可変制御定数データは、外部ツール 1 0 4 から予め初期値が書き込まれているが、制御装置の出荷検査時や実車に搭載された初回通電時および車両の実用運転中において、マイクロプロセッサ 1 1 0 によって自動的に採取され、RAMメモリ 1 1 3 を介してデータメモリ 1 1 2 に対して退避保存される。

## 【 0 0 2 9 】

実施の形態 1 において、プログラムメモリ 1 1 1 a 内の基準データ格納メモリ 1 1 1 b には、外部ツール 1 0 4 から予め基準データが書き込まれる。この基準データは、前記制御装置固有データと車両固有データの少なくとも一方の固有データと前記学習記憶データとに対する上下限值データを含んでいる。この上下限值データは、例えば 1 2 . 3 ~ 1 4 . 5 のようなデータであり、可変制御定数データに対する許容変動幅を持ったデータである。この上下限值データに代わって、前記可変制御定数データの代表値とともにこの代表値に対する許容変動幅に関する変動データを含むようにすることもできる。この代表値とこの代表値に対する変動データは、例えば 1 3 . 1 ( - 0 . 8 ~ + 1 . 4 ) のようなデータである。1 3 . 1 が代表値であり、( - 0 . 8 ~ + 1 . 4 ) がその代表値に対する許容変動データである。

## 【 0 0 3 0 】

データメモリ 1 1 2 に記憶されたデータに異常があるときには、マイクロプロセッサ 1 1 0 のエラー出力 E R 1 (データメモリ異常) によって異常警報・表示器 1 0 6 a が作動する。一方、プログラムメモリ 1 1 1 a および基準データ格納メモリ 1 1 1 b の記憶情報に異常があると、エラー出力 E R 2 (リセット手段) が発生してマイクロプロセッサ 1 1 0 をリセットして再起動するとともに、カウンタ 1 2 1 a で再起動回数を計数して、これが所定値を超過したときに負荷電源リレー 1 0 6 b を遮断するようになっている。

## 【 0 0 3 1 】

ウォッチドグタイマ120は、マイクロプロセッサ110が発生するウォッチドグ信号WDを監視して、そのウォッチドグ信号WDの信号幅に異常があれば、マイクロプロセッサ110をリセットして再起動するとともに、カウンタ121aはこれをエラー出力ER2とともに合算計数するようになっている。

負荷電源リレー106bが遮断されても、電源リレー108aの接点108cにより、エンジン燃料噴射用電磁弁および点火コイルは動作可能とされていて、安全な退避運転が行えるようになっている。マイクロプロセッサ110のリセット、再起動の原因である異常が一時的なノイズの重複発生であったような場合には、電源スイッチ107を一旦遮断して再起動すると、電源検出回路119によってカウンタ121aがリセットされ、負荷電源リレー106bの動作が回復できるようになっている。

トランジスタ123に対する第2駆動抵抗126は、電源スイッチ107が開路されてから、車載電子制御装置100aに対する給電を所定時間だけ遅延して遮断するためのものであり、この遅延時間内にRAMメモリ113に格納されていた可変制御定数データや後述の異常履歴データがデータメモリ112に対して書き込み保存されるようになっている。

#### 【0032】

図1のとおり構成された実施の形態1について、図2に示した動作説明用のフローチャートを参照して、その動作を説明する。この図2に示すフローチャートは、マイクロプロセッサ110によって行なわれるプログラムメモリ111a、基準データ格納メモリ111b、データメモリ112およびRAMメモリ113に対する異常診断動作と、異常に伴う対策処理動作を示したものである。

#### 【0033】

図2において、工程200は、マイクロプロセッサ110による各メモリ111a、111b、112、113に対する異常診断動作と異常時の対策処理に関する動作開始工程である。工程201aは工程200に続いて作用し、電源スイッチ107がオンされているかどうかを判定する判定工程である。工程201bは判定工程201aにおいて、電源スイッチ107がオンしていて判定工程201aでYESの判定がされたときに作用し、後述の工程201cによって設定さ



れる初回動作フラグがセットされているかどうかによって初回動作であるかどうかを判定する初回動作判定工程である。工程 2 0 2 は、判定工程 2 0 1 b において、初回動作の判定がされたときに作用し、基準データ格納メモリ 1 1 1 b を含むプログラムメモリ 1 1 1 a 内に格納されている全ての情報に関するサムチェック操作を行ない、それぞれの情報におけるビット情報の欠落、混入の有無を検出するシステム異常判定工程である。

なお、工程 2 0 2 によるサムチェックは、通常はパリティチェック機能を包含したものとなっていて、これらのサムチェックに必要なサムデータは、メモリ 1 1 1 a および 1 1 1 b に記憶されている。また、サムチェックに代わってパリティチェックによることも可能である。

#### 【 0 0 3 4 】

工程 2 0 3 は工程 2 0 2 に続いて作用する判定工程であり、基準データ格納メモリ 1 1 1 b を含むプログラムメモリ 1 1 1 a に格納された制御プログラムおよび基準データが正常であるか、異常であるかの判定を行なう。この判定工程 2 0 3 は、基準データ格納メモリ 1 1 1 b を含むプログラムメモリ 1 1 1 a に記憶された情報にビット情報の欠落、混入等の異常がなく Y E S の判定がされたときには工程 2 0 1 c へ移行し、異常があつて N O の判定がされたときには工程 2 3 0 へ移行する。工程 2 0 1 c は初回動作記憶用のフラグ設定工程であり、工程 2 0 4 は工程 2 0 1 c に続いて作用する駆動出力工程であり、この駆動出力工程 2 0 4 では、マイクロプロセッサ 1 1 0 が電源リレー駆動出力 D R 1 および負荷電源リレー駆動出力 D R 2 を発生する。工程 2 0 5 は、工程 2 0 4 に続いて作用するデータメモリ 1 1 2 に対する異常検出工程であり、この異常検出工程 2 0 5 では、データメモリ 1 1 2 内に書き込まれている全てのデータに関するサムチェック操作を行ない、それらのデータにおけるビット情報の欠落、混入の有無を検出する。この工程 2 0 5 によるサムチェックも、パリティチェックに代えることができる。このサムチェックに必要なサムデータは、データメモリ 1 1 2 に書き込まれている。

#### 【 0 0 3 5 】

工程 2 0 6 は工程 2 0 5 に続いて作用する判定工程であり、この判定工程 2 0

6では、データメモリ112内のデータにビット情報の欠落、混入等の異常がなくYESの判定がされると工程207へ移行し、異常があつてNOの判定がされると工程211へ移行する。工程207はデータメモリ112内に書き込まれている可変制御定数データが、基準データ格納メモリ111b内に格納されている基準データ、すなわちこの可変制御定数データに対する上下限值内の値となっているかどうかを判定する帯域比較工程である。

## 【0036】

工程208は工程207に続いて作用する帯域一致判定工程であり、工程207による帯域比較によって可変制御定数データがその上下限值内にあればYESの判定を行なつて工程209へ移行し、可変制御定数データがその上下限值から外れた異常があればNOの判定を行なつて工程211へ移行する。工程205、206、207、208は、データメモリ112に対するデータメモリ異常判定工程である。

工程209はデータメモリ112内に記憶されたデータをRAMメモリ113に転送書き込みする第1の転送工程である。工程210は工程209に続いて作用する動作終了工程であり、マイクロプロセッサ110は動作終了工程210において、他の制御動作を行った後、再度動作開始工程200へ移行するようになっている。

## 【0037】

工程211は工程205によるデータメモリ112の異常判定結果が異常であつたとき、および工程207による帯域比較異常があつたときに、これらを記憶しておく異常履歴記憶工程である。工程212は工程211に続いて作用し、エラー出力ER1を発生する工程、工程213は工程212に続いて作用する第2の転送工程であり、この第2の転送工程は、基準データ格納メモリ111bに格納されている基準データ、すなわち可変制御定数データに対する上下限值データの平均値、またはその可変制御定数データの代表値を推定可変制御定数データとしてRAMメモリ113に転送書き込みする。この第2の転送工程213は、動作終了工程210へ移行するようになっている。

## 【0038】

工程 2 2 0 は判定工程 2 0 1 b が初回動作ではないと判定したときに作用する異常検出工程であり、RAMメモリ 1 1 3 に対するビット情報の異常検出工程である。この異常検出工程 2 2 0 は、RAMメモリ 1 1 3 内に格納されているデータの内、少なくとも工程 2 0 9 および工程 2 1 3 によって転送書き込みされた可変制御定数データの書き込み領域に関するサムチェック操作を行ない、そのビット情報の欠落、混入の有無を検出する。この工程 2 2 0 によるサムチェックはパリティチェックに代えることができる。このサムチェックに必要なサムデータは、RAMメモリ 1 1 3、とくに工程 2 0 9 および工程 2 1 3 によって転送書き込みされた可変制御定数データの書き込み領域に書き込まれる。

#### 【 0 0 3 9 】

工程 2 2 1 は工程 2 2 0 に続いて作用する一致判定工程であり、この一致判定工程 2 2 1 は、データメモリ 1 1 2 と RAMメモリ 1 1 3 に書き込まれている可変制御定数データと後述の履歴情報データとが相互に一致しているかどうかを検出する。

ただし、RAMメモリ 1 1 3 内の可変制御定数データと後述の履歴情報データに関しては学習補正や履歴変化を伴っているので、図示しない変化フラグが動作しているときには一致判定を行わないようになっていて、後述の工程 2 4 1 によってデータメモリ 1 1 2 への退避転送が行われると上記変化フラグはリセットされるようになっている。

工程 2 2 2 は工程 2 2 1 に続いて作用する帯域比較工程であり、この帯域比較工程 2 2 2 は、RAMメモリ 1 1 3 に転送書き込みされている可変制御定数データが、基準データ格納メモリ 1 1 1 b 内に書き込まれた基準データ、すなわちその可変制御定数データに対する上下限值データ内の値となっているかどうかを検出する。工程 2 2 3 は工程 2 2 2 に続いて作用する判定工程であり、工程 2 2 0 から工程 2 2 2 において全ての検出結果が正常であって工程 2 2 3 が Y E S の判定をすれば動作終了工程 2 1 0 へ移行し、また工程 2 2 0 から工程 2 2 2 のどれかの工程での検出結果に異常があれば工程 2 2 5 へ移行する。工程 2 2 4 は、工程 2 2 0 から工程 2 2 2 によって構成された RAM異常検出工程ブロック、工程 2 2 5 は工程ブロック 2 2 4 による RAMメモリ 1 1 3 の異常判定結果が異常で

あったときにこれを記憶しておく異常履歴記憶工程であり、工程225に続いて判定工程206へ移行するように構成されている。

【0040】

工程230は基準データ格納メモリ111bを含むプログラムメモリ111aの異常履歴記憶工程であり、システム異常判定工程202が基準データ格納メモリ111bを含むプログラムメモリ111aの異常判定を行なう度毎に、その判定結果が異常であれば、その異常の内容を示すコード番号をその異常の発生回数とともに記憶する。工程231は工程230に続いて作用してエラー出力ER2を発生する工程あり、エラー出力ER2によってマイクロプロセッサ110をリセットして再起動するとともに、エラー出力ER2の発生回数はカウンタ121aによって計数されるようになっている。工程231に続いて動作終了工程210へ移行するように構成されている。

【0041】

工程241は判定工程201aにおいて、電源スイッチ107がオンからオフになったと判定されたときに作用する退避処理工程であり、この退避処理工程241は、RAMメモリ113に格納されていた各種学習データである可変制御定数データおよび工程211、工程222、工程230による異常履歴情報をデータメモリ112に転送保存する。工程242は工程241に続いて作用し、駆動出力DR1およびDR2を停止する工程であり、工程242に続いて動作終了工程210へ移行するようになっている。

【0042】

以上の動作を概括的に再度説明すると、電源スイッチ107が投入された初回動作においては、工程202によって、基準データ格納メモリ111bを含むプログラムメモリ111aの異常診断が行なわれ、また工程205によってデータメモリ112の異常診断が行なわれる。

システム異常判定手段に相当する工程202で異常が検出されると、工程231でエラー出力ER2が発生し、図1に示すとおりマイクロプロセッサ110をリセットして再起動させるとともに、カウンタ121aによって異常発生が計数、加算されるようになっている。

基準データ格納メモリ111bを含むプログラムメモリ111aに対する異常履歴記憶手段である工程230は、異常の内容を示すコード番号と異常発生回数を記憶する。工程231によってエラー出力ER2を発生すると共にマイクロプロセッサ110をリセットして再起動させるようになっている。エラー出力ER2の発生回数とウォッチドグタイマ120のリセット信号出力RSTの発生回数の合計が所定値を超過すると図1のカウンタ121aがカウントアップして負荷電源リレー106bを遮断するようになっている。

#### 【0043】

データメモリ112の異常判定手段に相当する工程205および工程207において異常が検出されると、異常履歴記憶手段である工程211において、その異常の内容を示すコード番号と異常発生回数を記憶し、また工程212によりエラー出力ER1を発生して図1の異常警報・表示器106aを作動させるとともに、第2の転送手段である工程213によって、基準データ格納メモリ111bから基準データの平均値または代表値である推定可変制御定数データがRAMメモリ113に書き込みされる。

データメモリ112の異常判定手段に相当する工程205で異常が検出されなければ、帯域比較手段である工程207によって、データメモリ112に記憶された可変制御定数データが基準データ格納メモリ111bに格納されている基準データの範囲内の値であるかどうかを判定し、帯域不一致、すなわち、基準データの範囲を外れた値であれば、工程212によりエラー出力ER1を発生して図1の異常警報・表示器106aを作動させるとともに、第2の転送手段である工程213によって、基準データ格納メモリ111bから基準データ、すなわち可変制御定数データの上下限値の平均値または代表値である推定可変制御定数データがRAMメモリ113に書き込みされる。

帯域比較手段である工程207が正常判定であれば、第1の転送手段である工程209へ移行して、データメモリ112内の可変制御定数データを含むデータがRAMメモリ113に転送書き込みされるようになっている。

#### 【0044】

以上のようにしてRAMメモリ113への可変制御定数データの書き込みが行

われた後に、記憶判定手段である工程ブロック 2 2 4 により、定期的に R A M メモリ 1 1 3 の診断が行なわれ、R A M メモリ 1 1 3 に書き込まれた可変制御定数データに異常があれば、異常履歴記憶手段である工程 2 2 5 において、その異常の内容を示すコード番号と異常発生回数を記憶し、データメモリ 1 1 2 の状態に応じて工程 2 0 9 および工程 2 1 3 によって再度 R A M メモリ 1 1 3 に対する書き込み処理が行われるようになっている。

電源スイッチ 1 0 7 が遮断されると、退避処理手段である工程 2 4 1 によって、異常履歴情報や各種学習データである可変制御定数のデータがデータメモリ 1 1 2 に転送保存され、続いて電源遅延遮断手段である工程 2 4 2 によって電源リレー駆動出力 D R 1 および負荷電源リレー駆動出力 D R 2 が停止される。

【 0 0 4 5 】

### ( 3 ) 実施の形態 1 の効果の説明

このように実施の形態 1 は、基準データ格納メモリ 1 1 1 b と、不揮発性のデータメモリ 1 1 2 に対するデータメモリ異常判定手段 2 0 5、2 0 6、2 0 7、2 0 8 と、R A M メモリ 1 1 3 に対する第 1、第 2 の転送手段 2 0 9、2 1 3 を有し、データメモリに書き込まれた可変制御定数データが前記データメモリ異常判定手段 2 0 6、2 0 8 によって正常と判断されたときに、前記データメモリ 1 1 2 から可変制御定数データが前記 R A M メモリ 1 1 3 に転送書き込みされ、またデータメモリ 1 1 2 に書き込まれた可変制御定数データが異常と判断されたときには基準データ格納メモリ 1 1 1 b から基準データに基づく推定可変制御定数データが R A M メモリ 1 1 3 に書き込みされる。この構成に基づき、データメモリ 1 1 2 の異常時においても、R A M メモリ 1 1 3 に書き込みされた推定可変制御定数データを用いて、車両の運転が可能となる。併せて、安全上および性能上の重要な可変制御定数データも、書き換えが容易な不揮発性のデータメモリ 1 1 2 に格納保存しておくことができるので、学習手段によって R A M メモリ 1 1 3 内の可変制御定数データを補正し、この補正された可変制御定数データに基づき、より効果的な車両制御を行なうことができる。

【 0 0 4 6 】

また、実施の形態 1 では、プログラムメモリ 1 1 1 a と基準データ格納メモリ

1 1 1 b が不揮発性のフラッシュメモリで構成され、データメモリ 1 1 2 が不揮発性の E E P R O M で構成されるので、データメモリ 1 1 2 において、可変制御定数データを容易に修正でき、また基準データ格納メモリ 1 1 1 b は、プログラムメモリ 1 1 1 a とともに、同じフラッシュメモリを兼用して、簡単に構成できる。

また、実施の形態 1 では、基準データが可変制御定数データに対する上下限值データを含むものとされており、データメモリ 1 1 2 や R A M メモリ 1 1 3 に書き込まれた可変制御定数データが、その上下限值データの帯域内にあるかどうかを診断しながら、安全に車両の運転制御を行なうことができる。

基準データが、データメモリ 1 1 2 や R A M メモリ 1 1 3 に書き込まれた可変制御定数データの対する代表値とその変動データとされるものにおいても、同様に、可変制御定数データが、その変動データの帯域内にあるかどうかを診断しながら、安全に車両の運転制御を行なうことができる。

#### 【 0 0 4 7 】

また実施の形態 1 は、データメモリ 1 1 2 が記憶する可変制御定数データは、制御装置固有データ又は車両固有データの少なくとも一方の固有データと、学習記憶データを記憶し、前記制御装置固有データは制御装置 1 0 0 a の構成部品の校正値データとされ、また車両固有データは車両車種データと、車載センサの環境データの少なくとも一方のデータを含み、また学習記憶データは制御装置 1 0 0 a が搭載された車両の運転制御データと、車載電気負荷の特性劣化に関する変動データの少なくとも一方のデータを含み、また基準データ格納メモリ 1 1 1 b に格納される基準データは、可変制御定数データに対する上下限值データ、又は可変制御定数データの代表値とその許容変動幅データの一方を含んでいる。したがって、多様な可変制御定数データを R A M メモリ 1 1 3 とデータメモリ 1 1 2 によって書き換え保存しながら、車両を安全に、しかも自由度をもって制御することができる。

#### 【 0 0 4 8 】

また実施の形態 1 では、データメモリ 1 1 2 の対するデータメモリ異常判定手段がビット情報の欠落・混入検出手段 2 0 5 と、データメモリ 1 1 2 に書き込ま

れた可変制御定数データと、基準データ格納メモリ111bに書き込まれた基準データを比較しデータメモリ112に書き込まれた可変制御定数データが基準データの許容範囲内にあるかどうかを比較する帯域比較手段207とを有し、これらのビット情報の欠落・混入検出手段205と帯域比較手段207とによってデータメモリ112に書き込まれた可変制御定数データが正常か異常かのいずれかを判定する。したがって、データメモリ112に書き込まれた可変制御データを、ビット情報の欠落、混入と、帯域比較の両面から、確実に診断することができる。

また前記ビット情報の欠落・混入検出手段205が、ビットのサムチェックとパリティチェックのいずれかを含むので、ビット情報の欠落、混入を簡単に検出できる。

#### 【0049】

また、実施の形態1は、RAMメモリ113に対するRAM異常検出手段224を有し、このRAM異常検出手段224はビット情報の欠落・混入検出手段220と、RAMメモリ113に転送書き込みされた可変制御定数データとデータメモリ112内の可変制御定数データとの一致を判定する一致判定手段221と、基準データに対する帯域比較手段222とを有し、このRAM異常検出手段224によってRAMメモリ113に書き込まれた可変制御定数データが異常と判定されたときに、データメモリ異常判定手段205、206、207、208によりデータメモリ112の異常判定を行ない、その結果に応じて、第1、第2の転送手段209、213にいずれかにより、RAMメモリ113への転送書き込みを行なう。したがって、RAMメモリ113に書き込まれた可変制御データが正常であれば、妄りにRAMメモリ113への可変制御定数データの転送書き込みが行なわれず、異常が発生したデータメモリ112から異常な可変制御定数データの書き込みが行なわれる危険性を小さくできる。

#### 【0050】

また、実施の形態1は、データメモリ112に対するデータメモリ異常判定手段205、206、207、208に応動する異常警報・表示手段106aを有し、この異常警報・表示手段106aはマイクロプロセッサ110が、第2の転



送手段213によって基準データ格納メモリ111bからRAMメモリ113に書き込みされた推定可変制御定数データに基づいて車載電気負荷103の制御を行なっていることを通報するので、運転者に対して、データメモリ112の異常を確実に知らせることができる。データメモリ112の可変制御定数データに異常があって、RAMメモリ113に書き込みされた推定可変制御定数データに基づく運転が行なわれていても、運転者がそのデータメモリ112の異常に気付かずに、例えば燃費および排気ガス浄化が最良でない状態で運転が行なわれることが想定されるが、異常警報・表示手段106aはデータメモリ112の異常を明示して、保守、点検を促進し、併せて安全性の向上も図ることができる。

#### 【0051】

また実施の形態1は、さらに、異常履歴記憶手段211、225、230と、退避処理手段241と、電源遅延遮断手段242を有し、異常履歴記憶手段211はデータメモリ112、異常履歴記憶手段225はRAMメモリ113、異常履歴記憶手段242は基準データ格納メモリ111bを含むプログラムメモリ111aのそれぞれにおける異常発生とその異常内容をRAMメモリ113に記憶し、退避処理手段241は異常履歴記憶手段211、225、230によってRAMメモリ113に記憶された異常情報を学習補正された可変制御定数データとともにデータメモリ112に転送保存する手段とされ、また電源遅延遮断手段242は電源スイッチ107が開路されてから少なくとも退避処理手段241による退避処理が完了するまでの遅延時間だけ遅れて制御電源118を遮断するようにされている。したがって、電源スイッチ107が開路されて車両制御が完了した時点で、異常履歴記憶手段211、225、230によってRAMメモリ113に記憶された異常履歴情報を学習補正された可変制御定数データとともにデータメモリ112に退避しておくことにより、異常履歴情報の保存が可能となり、車載電子制御装置100aが車載バッテリー105から取り外された後でも、外部ツール104を用いて異常履歴情報の詳細な分析が可能となる。

#### 【0052】

また実施の形態1は、システム異常判定手段202と、エラー出力ER2によるリセット手段と、カウンタによる計数手段121aと、駆動停止手段122を

有し、システム異常判定手段 2 0 2 は基準データ格納メモリ 1 1 1 b を含むプログラムメモリ 1 1 1 a に対するビット情報の欠落、混入検出によってシステムの正常と異常のいずれかを判定するようにされており、エラー出力 E R 2 によるリセット手段はシステム異常判定手段 2 0 2 がシステムの異常判定を行なったときに作用してマイクロプロセッサ 1 1 0 を一時的にリセットして再起動させる手段とされており、計数手段 1 2 1 a はエラー出力 E R 2 によるマイクロプロセッサ 1 1 0 のリセット回数が所定値を超過したときに計数出力を発生するとともに、電源スイッチ 1 0 7 の再投入時にリセットされるようにされており、また駆動停止手段 1 2 2 は計数手段 1 2 1 a がカウントアップして計数出力を発生しているときに作用して車載電気負荷 1 0 3 の一部を遮断する論理回路とされている。

したがって、基準データ格納メモリ 1 1 1 b を含むプログラムメモリ 1 1 1 a に異常があると、吸気スロットル弁開度制御用モータなどの特定負荷を駆動停止手段 1 2 2 によって停止させて安全性を確保するとともに、燃料噴射制御およびエンジン点火制御などの基本機能を活かし、車両の退避運転を可能にするとともに、異常の原因が一時的なノイズによるものであった場合には、電源スイッチ 1 0 7 を一旦遮断して再投入することにより、正常状態に回復させることができる。

#### 【 0 0 5 3 】

さらに、実施の形態 1 は、ウオッチドッグタイマ 1 2 0 を有し、このウオッチドッグタイマ 1 2 0 は、マイクロプロセッサ 1 1 0 が発生するウオッチドッグ信号のパルス幅が異常であるときに、マイクロプロセッサ 1 1 0 を一時的にリセットして再起動させるリセット信号出力を発生するタイマ回路とされ、カウンタ 1 2 1 a は、ウオッチドッグタイマ 1 2 0 の出力によっても計数動作を行なう。

したがって、マイクロプロセッサ 1 1 0 のウオッチドッグタイマ 1 2 0 による外部診断によって安全性が向上する。

#### 【 0 0 5 4 】

実施の形態 2 .

続いて、この発明の実施の形態 2 について説明する。

( 1 ) 実施の形態 2 の構成の詳細な説明

図3はこの発明の実施の形態2の全体ブロック構成図を示す。この図3について、図1のものとの相違点を中心にして説明する。

図3には実施の形態2の車載電子制御装置100bが点線のブロックで示されている。この車載電子制御装置100bは、点線のブロックの周囲に示された外部機器と、点線のブロックの内部に示された内部機器を有する。この内部機器は一枚の電子基板上に搭載され密閉筐体に収納される。

#### 【0055】

まず、前記外部機器は、オンオフタイプ（デジタルタイプ）の車載センサ群101、アナログタイプの車載センサ群102、オンオフタイプの車載電気負荷群103、外部ツール104、車載バッテリー105、異常警報・表示手段106a、負荷電源リレー106b、電源スイッチ107、および電源遅延遮断回路109を含んでいる。これらの外部機器は、電源遅延遮断回路109を除いて図1に示されたものと基本的に同じである。

電源遅延遮断回路109は、電源スイッチ107の投入によって即時に車載電子制御装置100bに対して給電を開始し、電源スイッチ107の遮断によって所定時間の遅延時間をおいて給電停止する電源遅延遮断回路である。この所定時間は、後述する退避処理工程441による退避処理が完了するまでの時間とされる。

#### 【0056】

車載電子制御装置100bの内部機器は、マイクロプロセッサ110、プログラムメモリ111、データメモリ112a、112b、基準データ格納メモリ112c、RAMメモリ113、インターフェイス回路114、115、116、117、制御電源ユニット118、電源検出回路119、ウォッチドッグタイマ120、異常記憶回路（異常記憶手段）121b、および論理回路122を含んでいる。

これらの内部機器の中、RAMメモリ113、インターフェイス回路114、115、116、117、制御電源ユニット118、電源検出回路119、ウォッチドッグタイマ120、および駆動停止手段122は、図1に示したのと同じものである。

## 【 0 0 5 7 】

図 3 に示すマイクロプロセッサ 1 1 0 は、エラー出力 E R 1、負荷電源駆動出力 D R、エラー出力 E R 3、ウォッチドッグ信号 W D を発生するように構成され、またリセット信号 R S T が入力されるように構成される。マイクロプロセッサ 1 1 0 とインターフェイス 1 1 4、1 1 5、1 1 6、1 1 7 との接続、マイクロプロセッサ 1 1 0 とウォッチドッグタイマ 1 2 0 との接続も、図 1 と同じである。

## 【 0 0 5 8 】

図 3 に示すプログラムメモリ 1 1 1 は、図 1 のプログラムメモリ 1 1 1 a と同様にフラッシュメモリで構成されるが、プログラムメモリ 1 1 1 は基準データ格納メモリ 1 1 1 b を持っていない。データメモリ 1 1 2 a、1 1 2 b は、それぞれ第 1、第 2 のデータメモリと呼ばれ、基準データ格納メモリ 1 1 2 c とともに E P R O M で構成される。これらのメモリは、R A M メモリ 1 1 3 とともに、マイクロプロセッサ 1 1 0 に双方向バスを介して接続される。

## 【 0 0 5 9 】

異常記憶手段である異常記憶回路 1 2 1 b は、セット入力 S とリセット入力 R を備えたフリップフロップ回路によって構成される。この異常記憶回路 1 2 1 b は、セット入力 S の論理レベルがローレベル（L レベル）からハイレベル（H レベル）に変化したときに異常記憶出力を発生するようになっており、セット入力 S には、マイクロプロセッサ 1 1 0 が発生するエラー出力 E R 3 と、ウォッチドッグタイマ 1 2 0 のリセット信号出力 R S T とが接続されている。

論理積素子で構成された駆動停止手段である駆動停止回路 1 2 2 の入力には、異常記憶回路 1 2 1 b による異常記憶出力の論理反転入力と、マイクロプロセッサ 1 1 0 による負荷電源駆動出力 D R が接続され、駆動停止回路 1 2 2 の出力には負荷電源リレー 1 0 6 b が接続されている。

なお、異常警報・表示器 1 0 6 a はマイクロプロセッサ 1 1 0 が発生するエラー出力 E R 1 によって駆動されるようになっている。

## 【 0 0 6 0 】

（2）実施の形態 2 の作用、動作の詳細な説明

図 3 のとおり構成されたこの発明の実施の形態 2 において、その作用動作について説明する。

図 3 において、マイクロプロセッサ 1 1 0 は、オンオフタイプの車載センサ群 1 0 1 の動作状態と、アナログタイプの車載センサ群 1 0 2 の信号レベルと、プログラムメモリ 1 1 1 の記憶内容と、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の記憶内容と、基準データ格納メモリ 1 1 2 c の記憶内容、RAMメモリ 1 1 3 の記憶内容に応じて車載電気負荷群 1 0 3 を制御する。プログラムメモリ 1 1 0 と第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b、および基準データ格納メモリ 1 1 2 c に対しては、予め外部ツール 1 0 4 から制御プログラムおよび制御定数が書き込まれている。

#### 【 0 0 6 1 】

図 3 に示す実施の形態 2 において、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b には、ともに同じデータが外部ツール 1 0 4 から書き込まれ、これらの第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b は二重系のメモリ構成となっている。

第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b のそれぞれには、第 1、第 2、第 3 のデータが予め書き込まれる。この第 1 のデータは、車載電子制御装置 1 0 0 b の制御装置固有データである。この制御装置固有データは、例えば当該車載電子制御装置 1 0 0 b に内蔵された定電圧電源装置の出力電圧精度、A/D変換器の変換精度等の部品バラツキを補正するための校正値データであり、個々の車載電子制御装置 1 0 0 b では異なる値であっても、各車載電子制御装置 1 0 0 b の出荷試験段階で初期値として一旦格納されるとその後の変化がない半固定的な可変制御定数データである。

#### 【 0 0 6 2 】

第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b に書き込まれる第 2 のデータは車両固有データであり、また第 3 のデータは、学習記憶データである。

この車両固有データは、当該車載電子制御装置 1 0 0 b が搭載された車両の制御仕様を選択決定するための車種データ、或いは当該車載電子制御装置 1 0 0 b に外部接続された車載センサの特性精度情報等の環境データであり、車両に搭載されるまでは確定せず、搭載車両に応じて決定される。この車両固有データは、

複数の車両のそれぞれに搭載された個々の車載電子制御装置 1 0 0 b では、互いに異なる値であっても、1 つの車両に搭載された 1 つの車載電子制御装置 1 0 0 b では、その搭載車両に応じて初期値として格納され、また一旦格納されるとその後の変化がない半固定的な可変制御定数データである。

## 【 0 0 6 3 】

第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b に第 3 のデータとして書き込まれる学習記憶データは、車両の運転特性を実測した結果として得られる運転制御データ、或いは車載センサ、電気負荷の特性劣化情報等の変動データであり、運転開始時に初期値として一旦格納された後、車両の運転経過に応じた学習手段により、所定範囲内で変動することが想定される流動的な可変制御定数データである。具体的には、この可変制御定数データは、外部ツール 1 0 4 から予め初期値が書き込まれているが、制御装置の出荷検査時や、実車に搭載された初回通電時および車両の実用運転中において、マイクロプロセッサ 1 1 0 によって自動的に採取され、RAM メモリ 1 1 3 を介してデータメモリ 1 1 2 a、1 1 2 b に対して上書き修正される。

## 【 0 0 6 4 】

図 3 に示す実施の形態 2 において、基準データ格納メモリ 1 1 2 c には外部ツール 1 0 4 から基準データが予め書き込まれるようになっている。この基準データは前記制御装置固有データ又は車両固有データの少なくとも一方の固有データと学習記憶データとを含み、これらの基準データは可変制御定数データに対する許容上下限值データである。上下限值データに代わって、可変制御定数データの代表値とこの代表値に対する許容変動幅データを用いることもできる。

第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の記憶内容に異常があるときには、エラー出力 E R 1 によって異常警報・表示器 1 0 6 a が作動するが、プログラムメモリ 1 1 1 の記憶内容および基準データ格納メモリ 1 1 2 c の記憶内容に異常があると、エラー出力 E R 3 が発生し、異常記憶回路 1 2 1 b がこれを記憶して、負荷電源リレー 1 0 6 b を遮断するようになっている。

## 【 0 0 6 5 】

ウォッチドグタイマ 1 2 0 は、マイクロプロセッサ 1 1 0 が発生するウォッチ

ドグ信号WDを監視して、そのウォッチドッグ信号WDの信号幅に異常があればマイクロプロセッサ110にリセット信号RSTを与えて、マイクロプロセッサ110をリセットし、それを再起動するとともに、異常記憶回路121bがこれを記憶して負荷電源リレー106bを遮断するようになっている。

負荷電源リレー106bが遮断されても、車両に搭載された燃料噴射用電磁弁および点火コイルは動作可能とされ、これによって安全な退避運転を行なうことができるとともに、負荷電源リレー106bが遮断される原因となった異常が一時的なノイズ要因であったような場合には、電源スイッチ107を一旦遮断して再起動すると、電源検出回路119によって異常記憶回路121bがリセットされ、負荷電源リレー106bの動作が回復できるようになっている。

#### 【0066】

図3の通り構成された実施の形態2について、図4に示した動作説明用のフローチャートを参照して、その動作を説明する。この図4に示すフローチャートは、マイクロプロセッサ110によって行なわれるプログラムメモリ111、第1、第2のデータメモリ112a、112b、基準データ格納メモリ112cおよびRAMメモリ113に対する異常診断動作と、異常に伴う対策処理動作を示したものである。

#### 【0067】

図4において、工程400は、マイクロプロセッサ110による各メモリ111、112a、112b、113に対する異常診断動作と異常時の対策処理に関する動作開始工程である。工程401は工程400に続いて作用し、点検動作モードを判定する工程である。この工程401は、図示しない判定手段によって通常は判定結果NOの判定を行い、電源投入直後およびエンジン回転速度が低いときには定期的に判定結果YESの判定動作を行なうようになっている。

工程402は判定工程401の判定結果YESであったときに作用するシステム異常判定工程である。このシステム異常判定工程402は、プログラムメモリ111と、基準データ格納メモリ112c内に格納されている全てのデータに関するサムチェック操作を行ない、ビット情報の欠落・混入の有無を検出する。

#### 【0068】

工程 4 0 3 は工程 4 0 2 に続いて作用する判定工程であり、サムチェックの結果が正常かどうかを判定する。工程 4 0 2 によってビット情報の欠落、混入をチェックした結果、プログラムメモリ 1 1 1 および基準データ格納メモリ 1 1 2 c にビット情報の欠落・混入等の異常がなく、工程 4 0 3 が Y E S の判定をすれば、工程 4 0 4 へ移行し、異常があつて工程 4 0 3 が N O の判定をすれば、工程 4 3 0 へ移行する。工程 4 0 4 は工程 4 0 3 に続いて作用し、マイクロプロセッサ 1 1 0 が負荷電源リレー駆動出力 D R を発生する工程、工程 4 0 5 は工程 4 0 4 に続いて作用するデータメモリ異常判定工程であり、この異常判定工程 4 0 5 では、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b 内に格納されている全てのデータに関するサムチェック操作を行ない、ビット情報の欠落・混入の有無を検出する。工程 4 0 6 a は工程 4 0 5 に続いて作用する判定工程であり、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の双方が正常でしかも相互に一致しているかどうかを判定する。第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の双方に記憶されたデータにビット情報の欠落・混入等の異常がなく、判定工程 4 0 6 a が Y E S の判定結果を出せば工程 4 0 9 a へ移行し、また異常があつて工程 4 0 6 a が N O の判定を出せば、工程 4 0 6 b へ移行する。

#### 【 0 0 6 9 】

工程 4 0 6 b は工程 4 0 6 a に続いて作用する判定工程であり、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の片方異常を判定する。工程 4 0 5 による第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b のサムチェックの結果、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b のいずれか片方に異常があり、判定工程 4 0 6 b が Y E S の判定結果を出せば、工程 4 0 9 b に移行し、また第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の両者に異常があるか又は両者ともに正常であっても相互に不一致であることによって、判定工程 4 0 6 b が N O の判定結果を出せば、工程 4 1 1 b へ分岐する。工程 4 0 9 b は工程 4 0 5 が、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の片方に異常があることを検出したときに作用する相互転送補完工程であり、この相互転送工程 4 0 9 b は第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の中の正常な方のデータメモリから、異常な方のデータメモリへデータ転送を行なう。工程 4 0 7 は工程 4 0 9 b に続いて作用する帯域判



定工程であり、第1、第2のデータメモリ112a、112bに記憶されたデータに対して、基準データ格納メモリ112cに記憶されている基準データを用いて帯域比較を行なう。具体的には、第1、第2のデータメモリ112a、112bの中の第1のデータメモリ112a内に記憶されているデータが、基準データ格納メモリ112c内に格納されている基準データの上下限值内の値となっているかどうかを判定するが、相互転送補完工程409bによって第1、第2のデータメモリ112a、112bの記憶データは同じとされているので、この帯域比較は第2のデータメモリ112bと第3のデータメモリ112cの間で行なっても良い。

【0070】

工程408は工程407に続いて作用する判定工程であり、帯域比較工程407の比較結果を受けて、帯域一致、すなわち第1または第2のデータメモリ112aまたは112bに記憶されたデータが、基準データ格納メモリ112cに記憶された基準データの帯域内にあるかどうかを判定する。帯域比較で異常がなく、判定工程408がYESの判定を出せば、工程411aへ移行し、また異常があって判定工程408がNOの判定を出せば、工程411bへ分岐する。工程411aは工程408がYESの判定をしたときに作用する異常履歴記憶工程であり、工程405によるサムチェックの結果、第1、第2のデータメモリ112a、112bの片方に異常であってしかも帯域不一致であるときに、この異常履歴を記憶する。工程412aは工程411aに続いて作用し、エラー出力ER1を発生する工程、工程409aは工程406aまたは工程412aに続いて作用し、第1のデータメモリ112aに記憶されたデータをRAMメモリ113に転送書き込みする第1、第3の転送工程、工程410は工程409aに続いて作用する動作終了工程であり、マイクロプロセッサ110は動作終了工程410において他の制御動作を行なった後、再度動作開始工程400へ移行するようになっている。

【0071】

工程411bは判定工程406bがNOの判定をしたときに作用する異常履歴記憶工程であり、工程405による第1、第2のデータメモリ112a、112

bに記憶されたデータのサムチェックの結果、第1、第2のデータメモリ112 a、112 bの両者に異常があったとき、又は両者正常であっても相互不一致である場合と、工程405と工程407によって片方異常でしかも正常な片方に帯域異常がある場合にこの異常履歴を記憶する。工程412 bは工程411 bに続いて作用し、エラー出力ER1を発生する工程、工程413は工程412 bに続いて作用する第2の転送工程であり、基準データ格納メモリ112 cに格納されている基準データの平均値または代表値を推定可変制御定数データとしてRAMメモリ113に転送書き込みする。この工程413に続いて動作終了工程410へ移行するようになっている。

#### 【0072】

工程420は判定工程401が点検動作ではなく、NOの判定をしたときに作用するRAM異常検出工程であり、RAMメモリ113内に記憶されているデータの中、少なくとも工程409 aまたは工程413によって転送書き込みされた可変制御定数に関するサムチェック操作を行ない、ビット情報の欠落、混入の有無を検出する。工程421は工程420に続いて作用する比較工程であり、第1のデータメモリ112 aに記憶されたデータと、この第1のデータメモリ112 aからRAMメモリ113に転送されたデータとの比較を行ない、それらが一致しているかどうかを診断する。この比較工程421は一致判定手段となる。

ただし、RAMメモリ113内の可変制御定数データと後述の履歴情報データに関しては学習補正や履歴変化を伴っているので、図示しない変化フラグが動作しているときには一致判定を行わないようになっていて、後述の工程441によってデータメモリ112 a、112 bへの退避転送が行われると上記変化フラグはリセットされるようになっている。

工程422は工程421に続いて作用する帯域比較工程であり、RAMメモリ113内に記憶されている可変制御定数のデータが、基準データ格納メモリ112 c内に格納されている基準データの上下限值内の値となっているかどうかを比較する。工程423は工程422に続いて作用する判定工程であり、工程420から工程422において全ての検査結果が正常であれば、工程440へ移行することとなる。もし、工程420から工程422のどれかの工程で、異常が検出さ

れば工程425へ分岐する。工程424は工程420から工程422によって構成されたRAM異常検出工程ブロック、工程425は工程ブロック424によるRAMメモリ113の異常検出の結果が異常であったときに、その履歴を記憶しておく異常履歴記憶工程であり、この工程425に続いて工程406aへ移行するように構成されている。

#### 【0073】

工程430は工程402がプログラムメモリ111および基準データ格納メモリ112cに対する異常判定を行ったときに作用し、その異常履歴を記憶する異常履歴記憶工程、工程431は工程430に続いて作用しエラー出力ER3を発生する工程、工程432は工程431に続いて作用し、駆動出力DRを停止する工程であり、工程432に続いて動作終了工程410へ移行するようになっている。

工程440は工程423がYESの判定をしたときに作用する退避処理の判定工程であり、退避処理を実行するときにはYESの判定を行ない、退避処理を行なわないときには、NOの判定を行なう。工程441は工程440が退避処理を実行するYESの判定をしたときに作用する退避処理工程であり、RAMメモリ113に記憶されていた異常履歴データおよび学習補正された可変制御定数データを第1、第2のデータメモリ112a、112bに転送保存する退避処理工程であり、この工程441に続いて動作終了工程410へ移行する。また判定工程440が退避処理を実行しないNOの判定をしたときにも、動作終了工程410へ移行するようになっている。

なお、判定工程440は、例えばエンジンの低速回転中または電源スイッチ107が遮断されたときに、全体として数時間に一度の割合で退避処理を実行させるような判定手段となっている。

#### 【0074】

以上の動作を概括的に再度説明すると、電源スイッチ107が投入された初回動作およびエンジンの低速回転中においては、定期的に工程402によるプログラムメモリ111と基準データ格納メモリ112cの異常診断、および工程405による第1、第2のデータメモリ112a、112bの異常診断が行われる。

システム異常判定手段に相当する工程 4 0 2 で異常が検出されれば、工程 4 3 1 でエラー出力 E R 3 が発生し、図 3 に示す異常記憶回路 1 2 1 b が動作して負荷電源リレー 1 0 6 b が遮断される。

プログラムメモリ 1 1 1 と基準データ格納メモリ 1 1 2 c の異常履歴記憶手段である工程 4 3 0 は、異常が検出される度毎に、その異常内容を示す異常コード番号と異常発生回数を記憶する。

#### 【 0 0 7 5 】

データメモリ 1 1 2 a、1 1 2 b に対するデータメモリ異常判定手段に相当する工程 4 0 5 で異常があれば、工程 4 0 6 a、4 0 6 b と工程 4 0 8 によって、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の片方異常と、両者異常が判定され、異常履歴記憶手段である工程 4 1 1 a、4 1 1 b により、その異常内容を示す異常コード番号と異常発生回数を記憶し、工程 4 1 2 a、4 1 2 b でエラー出力 E R 1 を発生して図 3 の異常警報・表示器 1 0 6 a を作動させるとともに、第 2 の転送手段である工程 4 1 3 によって基準データ格納メモリ 1 1 2 c から基準データの平均値または代表値のデータが推定可変制御定数データとして R A M メモリ 1 1 3 に転送される。

#### 【 0 0 7 6 】

データメモリ異常判定手段に相当する工程 4 0 5 で異常がなければ、第 1 の転送手段である工程 4 0 9 a へ移行して第 1 のデータメモリ 1 1 2 a に記憶されたデータが R A M メモリ 1 1 3 に転送書き込みされるようになっている。

第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の一方に異常があれば、相互転送手段である工程 4 0 9 b によって異常側のデータメモリを正常化する。この相互転送の後、第 1 または第 2 のデータメモリ 1 1 2 a、1 1 2 b に記憶されたデータが、帯域比較手段である工程 4 0 7 によって基準データ格納メモリ 1 1 2 c に格納されている基準データの範囲と比較され、これが異常であれば両者異常の扱いとなり、またその帯域比較が正常であれば第 3 の転送手段に相当する工程 4 0 9 a によって第 1 のデータメモリ 1 1 2 a に記憶されたデータが R A M メモリ 1 1 3 に転送書き込みされるようになっている。

#### 【 0 0 7 7 】

以上のようにしてRAMメモリ113への可変制御定数データ又は推定可変制御定数データの書き込みが行なわれた後に、記憶判定手段である工程ブロック424において定期的にRAMメモリ113の診断が行なわれる。この診断の結果、RAMメモリ113の記憶データに異常があれば、異常履歴記憶手段である工程425により、その異常コード番号と異常発生回数を記憶し、第1、第2のデータメモリ112a、112bの状態に応じて工程409aまたは工程413によって再度RAMメモリ113に対する書き込み処理が行なわれるようになっている。

また、退避処理手段に相当する工程441では、各種異常履歴情報および各種学習データが第1、第2のデータメモリ112a、112bに転送保存される。

#### 【0078】

#### (3) 実施の形態2の効果の説明

この実施の形態2の車載電子制御装置では、不揮発性のデータメモリが第1、第2のデータメモリ112a、112bを有し、これらの第1、第2のデータメモリ112a、112bには、複数の可変制御定数データの少なくとも一部が互いに重複して書き込まれ、重複データに対して二重系のデータメモリとなっており、データの信頼度を向上することができる。

#### 【0079】

また実施の形態2は、基準データ格納メモリ112cと、不揮発性のデータメモリ112a、112bに対するデータメモリ異常判定手段405、406a、406b、407、408と、RAMメモリ113に対する第1、第2、第3の転送手段409a、413、409aを備え、データメモリ異常判定手段405、406a、406b、407、408は第1、第2のデータメモリ112a、112bに書き込まれた複数の可変制御定数データのそれぞれが正常と異常のいずれかを判定するように構成され、第1の転送手段409aは、第1、第2のデータメモリ112a、112bに書き込まれた可変制御定数データがともに正常と判断されたときに第1のデータメモリ112aからRAMメモリ113へ可変制御定数データを転送書き込みする手段とし、第2の転送手段413は第1、第2のデータメモリ112a、112bに書き込まれた可変制御定数データがとも

に異常であるときに基準データ格納メモリ112cからRAMメモリ113に対して基準データに基づく推定可変制御定数データを書き込みする手段とし、第3の転送手段409aは第1、第2のデータメモリ112a、112bに書き込まれた可変制御定数データのいずれか一方のデータメモリに書き込まれた可変制御定数データが異常と判定されたときに、その正常な方のデータメモリからRAMメモリへ可変制御定数データを書き込みする手段としている。したがって、第1、第2のデータメモリ112a、112bの両者正常、両者異常、片方異常のいずれにあっても、RAMメモリ113に書き込みされた可変制御定数データ又は推定可変制御定数データを用いて、車両の運転が可能となる。

併せて、安全上および性能上の重要な可変制御定数データも、書き換えが容易な不揮発性のデータメモリ112a、112bに格納保存しておくことができるので、学習手段によってRAMメモリ113内の可変制御定数データを補正し、この補正された可変制御定数データに基づき、より効果的な車両制御を行なうことができる。

#### 【0080】

また、実施の形態2では、プログラムメモリ111が不揮発性のフラッシュメモリで構成され、データメモリ112a、112bおよび基準データ格納メモリ112cが不揮発性のEEPROMで構成されるので、データメモリ112a、112bにおいて、可変制御定数データを容易に修正でき、また基準データ格納メモリ112cは、データメモリ112a、112bとともに、同じEEPROMメモリを兼用して、簡単に構成できる。

また、実施の形態2では、基準データがデータメモリ112a、112bに書き込まれた可変制御定数データに対する上下限值データとされており、データメモリ112a、112bやRAMメモリ113に書き込まれる可変制御定数データが、その上下限值データの帯域内にあるかどうかを診断しながら、安全に車両の運転制御を行なうことができる。

基準データが、データメモリ112a、112bに書き込まれた可変制御定数データの対する代表値とその変動データとされるものにおいても、同様に、データメモリ112a、112bやRAMメモリ113に書き込まれる可変制御定数デ

ータが、その変動データの帯域内にあるかどうかを診断しながら、安全に車両の運転制御を行なうことができる。

#### 【 0 0 8 1 】

また実施の形態 2 は、データメモリ 1 1 2 a、1 1 2 b が記憶する可変制御定数データは、制御装置固有データ又は車両固有データの少なくとも一方の固有データと、学習記憶データを記憶し、前記制御装置固有データは制御装置 1 0 0 b の構成部品の校正値データとされ、また車両固有データは車両車種データと、車載センサの環境データの少なくとも一方のデータを含み、また学習記憶データは制御装置 1 0 0 b が搭載された車両の運転制御データと、車載電気負荷の特性劣化に関する変動データの少なくとも一方のデータを含み、また基準データ格納メモリ 1 1 2 c に格納される基準データは、可変制御定数データに対する上下限值データ、又は可変制御定数データの代表値とその許容変動幅データの一方向を含んでいる。したがって、多様な可変制御定数データを RAM メモリ 1 1 3 とデータメモリ 1 1 2 a、1 1 2 b によって書き換え保存しながら、車両を安全に、しかも自由度をもって制御することができる。

#### 【 0 0 8 2 】

また実施の形態 2 では、データメモリ 1 1 2 a、1 1 2 b に対するデータメモリ異常判定手段がビット情報の欠落・混入検出手段 4 0 5、およびデータメモリ 1 1 2 a、1 1 2 b に書き込まれた可変制御定数データと、基準データ格納メモリ 1 1 2 c に書き込まれた基準データとを比較しデータメモリ 1 1 2 a、1 1 2 b に書き込まれた可変制御定数データが基準データの許容範囲内にあるかどうかを比較する帯域比較手段 4 0 7 とを有し、これらのビット情報の欠落・混入検出手段 4 0 5 と帯域比較手段 4 0 7 とによってデータメモリ 1 1 2 a、1 1 2 b に書き込まれた可変制御定数データが正常か異常かのいずれかを判定する。したがって、データメモリ 1 1 2 a、1 1 2 b に書き込まれた可変制御定数データを、ビット情報の欠落、混入と、帯域比較の両面から、確実に診断することができる。

また前記ビット情報の欠落・混入検出手段 4 0 5 が、ビットのサムチェックとパリティチェックのいずれかを含むので、ビット情報の欠落、混入を簡単に検出できる。

## 【 0 0 8 3 】

また、実施の形態 2 は、R A M メモリ 1 1 3 に対する R A M 異常検出手段 4 2 4 を有し、この R A M 異常検出手段 4 2 4 はビット情報の欠落・混入検出手段 4 2 0 と、R A M メモリ 1 1 3 に転送書き込みされた可変制御定数データとデータメモリ 1 1 2 a、1 1 2 b 内の可変制御定数データとの一致を判定する一致判定手段 4 2 1 と、基準データに対する帯域比較手段 4 2 2 の少なくとも 1 つの手段とを有し、この R A M 異常検出手段 4 2 4 によって R A M メモリ 1 1 3 に書き込まれた複数の可変制御定数データが異常と判定されたときに、データメモリ異常判定手段 4 0 6 a、4 0 6 b、4 0 7、4 0 8 により第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の異常判定を行ない、その結果に応じて、第 1 の転送手段 4 0 9 a、第 2 の転送手段 4 1 3、または第 3 の転送手段 4 0 9 a のいずれかによる R A M メモリ 1 1 3 への転送書き込みを行なう。したがって、R A M メモリ 1 1 3 に書き込まれた可変制御定数データが正常であれば、妄りに R A M メモリ 1 1 3 への可変制御定数データの転送書き込みが行なわれず、異常が発生したデータメモリ 1 1 2 a、1 1 2 b から異常な可変制御定数データの書き込みが行なわれる危険性を小さくできる。

## 【 0 0 8 4 】

また実施の形態 2 は、さらに相互転送補完手段 4 0 9 b を備え、この相互転送補完手段 4 0 9 b は、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の一方が異常であるときに作用してその正常な方のデータメモリに書き込まれた可変制御定数データを異常な方のデータメモリに転送書き込みする手段とされ、第 3 の転送手段 4 0 9 a は、第 1 の転送手段 4 0 9 a と同様に、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の一方から R A M メモリ 1 1 3 に可変制御定数データを転送書き込みする手段とされる。したがって、第 1、第 2 のデータメモリ 1 1 2 a、1 1 2 b の一方に書き込まれた可変制御定数データが異常となった場合、相互補完転送によって両方のデータメモリ 1 1 2 a、1 1 2 b を正常状態に回復させ、引き続き二重系として動作させることができ、併せて、第 1、第 3 の転送手段 4 0 9 a を共通化し、R A M メモリ 1 1 3 への転送書き込みは常に一方のデータメモリから行なうことができる効果がある。



## 【0085】

また、実施の形態2は、データメモリ112a、112bに対するデータメモリ異常判定手段405、406a、406b、407、408に応動する異常警報・表示手段106aを有し、この異常警報・表示手段106aはマイクロプロセッサ110が、第2の転送手段413によって基準データ格納メモリ112cからRAMメモリ113に書き込みされた推定可変制御定数データ、または第3の転送手段409aにより第1、または第2の良品側データメモリからRAMメモリ113に転送書き込みされた可変制御定数データに基づいて車載電気負荷103の制御を行なっていることを通報するので、運転者に対して、データメモリ112a、112bの異常を確実に知らせることができる。データメモリ112a、112bの可変制御定数データに異常があつて、RAMメモリ113に書き込みされた推定可変制御定数データに基づく運転が行なわれていても、運転者がそのデータメモリ112a、112bの異常に気付かずに、例えば燃費および排気ガス浄化が最良でない状態で運転が行なわれることが想定されるが、異常警報・表示手段106aはデータメモリ112a、112bの異常を明示して、保守、点検を促進し、併せて安全性の向上も図ることができる。

## 【0086】

また実施の形態2は、さらに、異常履歴記憶手段411a、411b、425、430と、退避処理手段441と、電源遅延遮断手段109を有し、異常履歴記憶手段411a、411bはデータメモリ112a、112b、異常履歴記憶手段425はRAMメモリ113、異常履歴記憶手段430は基準データ格納メモリ112cとプログラムメモリ111のそれぞれにおける異常発生とその異常内容をRAMメモリ113に記憶し、退避処理手段441は異常履歴記憶手段411a、411b、425、430によってRAMメモリ113に記憶された異常内容を学習補正された可変制御定数データとともにデータメモリ112a、112bに転送保存する手段とされ、また電源遅延遮断手段109は電源スイッチ107が開路されてから少なくとも退避処理手段441による退避処理が完了するまでの遅延時間だけ遅れて制御電源118を遮断するようにされている。したがって、電源スイッチ107が開路されて車両制御が完了した時点で、異常履歴

記憶手段411a、411b、425、430によってRAMメモリ113に記憶された異常履歴情報を可変制御定数データと共にデータメモリ112a、112bに退避しておくことにより、異常履歴情報の保存が可能となり、車載電子制御装置100bが車載バッテリー105から取り外された後でも、外部ツール104を用いて異常履歴情報の詳細な分析が可能となる。

【0087】

また実施の形態2は、さらにシステム異常判定手段402と、異常記憶手段121bと、駆動停止手段122を有し、システム異常判定手段402は、基準データ格納メモリ112cとプログラムメモリ111に対するビット情報の欠落、混入の検出を行って、システムが正常か異常のいずれかの判定を行なうように構成され、異常記憶手段121bはシステム異常判定手段402がシステムの異常の判定を行なったことを記憶するとともに、電源スイッチ107の再投入時にリセットされる異常動作記憶回路とされ、また駆動停止手段122は異常記憶手段121bが異常を記憶しているときに作用して車載電気負荷群103の一部を遮断する論理回路とされている。したがって、プログラムメモリ111および基準データ格納メモリ112cに異常があると、吸気スロットル弁開度制御モータなどの特定負荷への給電を停止して安全性を確保するとともに、燃料噴射制御およびエンジン点火制御などの基本機能を活かしておくことによって退避運転を可能にすることができる。またシステム異常の原因が一時的なノイズによるものであった場合には、電源スイッチ107を一旦オフにして再投入することにより、正常状態に回復させることができる。

【0088】

さらに、実施の形態2は、ウォッチドッグタイマ120を有し、このウォッチドッグタイマ120は、マイクロプロセッサ110が発生するウォッチドッグ信号のパルス幅が異常であるときに、マイクロプロセッサ110を一時的にリセットして再起動されるリセット信号を発生するタイマ回路とされ、異常記憶手段121bは、ウォッチドッグタイマ120の出力によっても異常記憶を行なう。

したがって、マイクロプロセッサ110のウォッチドッグタイマ120による外部診断によって安全性が向上する。

## 【 0 0 8 9 】

他の実施の形態。

以上の説明で明らかな通り、この発明は可変制御定数が書き込まれる E E P R O M 等の不揮発性データメモリに対する異常判定手段としてサムチェックによるビット情報の欠落、混入検出を行なって、異常検出時にはバックアップ情報として予め他の不揮発性メモリに格納されている基準データを用いて平均値または代表値による代替制御定数を使用するものである。各種メモリの異常履歴情報に関しては、発生時刻情報を付加して、外部ツールを用いた分析作業に役立てることもできる。

また、異常警報・表示器 1 0 6 a については表示灯とコメント表示器を併用して、運転手が容易に異常発生を視認し、詳細区分確認ができるようにすることも可能である。

## 【 0 0 9 0 】

基準データ格納メモリは、プログラムメモリ 1 1 1 a の一部領域を使用した図 1 の形態とし、これに組み合わせて、データメモリ 1 1 2 a、1 1 2 b は図 3 のように二重系にするなど、様々な変形態様のものとすることができる。この二重系データメモリの一方が異常であるときには、相互転送によって両者を正常化した上で、一方のデータメモリから演算用 R A M メモリに転送書き込みし、また演算用 R A M メモリへの転送は正常側のデータメモリから直接転送書き込みすることも可能である。

ただし、一方のデータメモリの破損により、相互転送によっても異常回復できないときには、正常側のデータメモリの記憶データを R A M メモリへ直接転送する必要がある。

また、データメモリ 1 1 2 a と 1 1 2 b のサムチェックと帯域比較が共に正常であるにも拘わらず、両者の内容が一致しないような異常に対しては、両者の平均値を推定可変制御定数データとして R A M メモリ 1 1 3 に書き込みすることもできる。

## 【 0 0 9 1 】

## 【発明の効果】

以上のように、この発明の車載電子制御装置によれば、データメモリの異常時においても、基準データ格納メモリに格納された基準データに基づいてRAMメモリに推定可変制御定数データを書き込むことによって、車両の運転が可能となる。併せて、安全上および性能上の重要な可変制御定数データも、書き換えが容易な不揮発性のデータメモリに格納しておくことができ、また学習手段によってRAMメモリ内の可変制御定数データを補正し、これをデータメモリに転送保存しておくことにより、この補正された可変制御定数データに基づき、安全でより効果的な車両制御を行なうことができる。

【図面の簡単な説明】

【図 1】 図 1 はこの発明の実施の形態 1 を示す全体ブロック構成図である。

【図 2】 図 2 は図 1 に示す実施の形態 1 の動作説明用フローチャートである。

【図 3】 図 3 はこの発明の実施の形態 2 を示す全体ブロック構成図である。

【図 4】 図 4 は図 3 に示す実施の形態 2 の動作説明用フローチャートである。

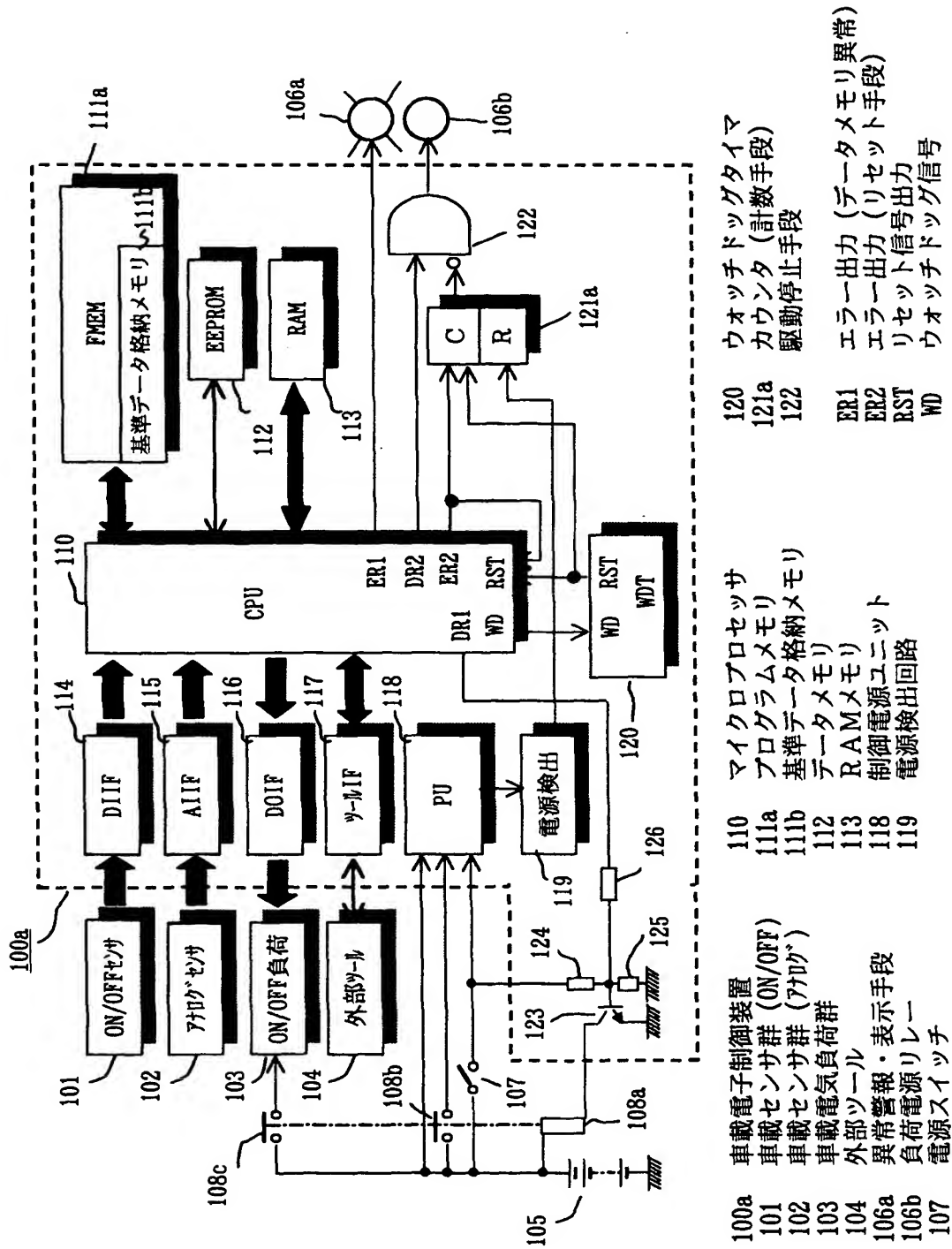
【符号の説明】

- 1 0 0 a ・ 1 0 0 b 車載電子制御装置、
- 1 0 1 オンオフタイプ車載センサ群、
- 1 0 2 アナログタイプ車載センサ群、
- 1 0 3 車載電気負荷群、 1 0 4 外部ツール、
- 1 0 6 a 異常警報・表示手段、 1 0 6 b 負荷電源リレー、
- 1 0 7 電源スイッチ、
- 1 1 0 マイクロプロセッサ、 1 1 1 プログラムメモリ、
- 1 1 1 a プログラムメモリ、 1 1 1 b 基準データ格納メモリ、
- 1 1 2 データメモリ、
- 1 1 2 a 第 1 のデータメモリ、 1 1 2 b 第 2 のデータメモリ、
- 1 1 2 c 基準データ格納メモリ、
- 1 1 3 RAMメモリ、 1 1 8 制御電源ユニット、 1 1 9 電源検出回路、
- 1 2 0 ウォッチドッグタイマ、 1 2 1 a カウンタ（計数手段）、

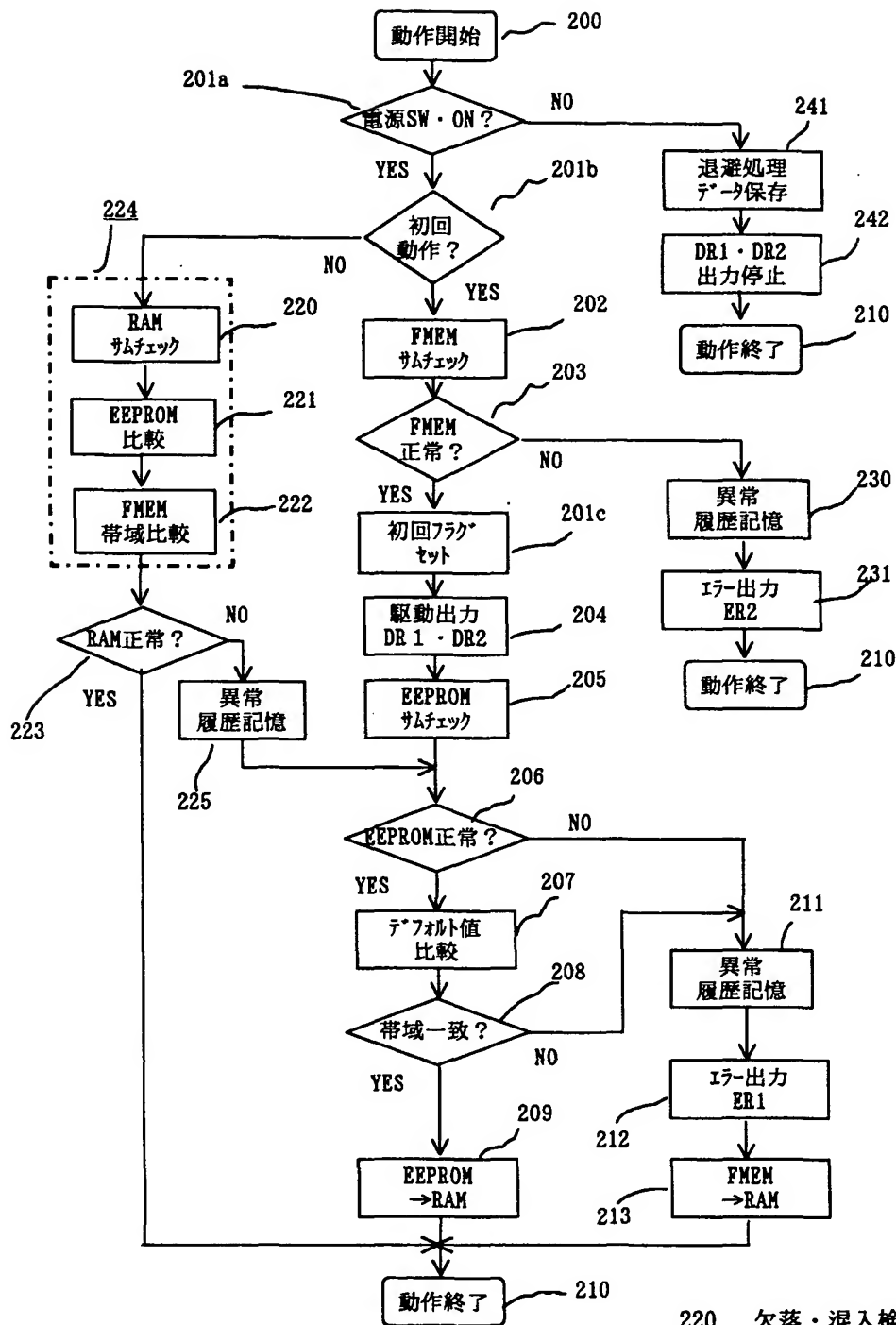
1 2 1 b 異常記憶手段、 1 2 2 駆動停止手段、  
E R 1 エラー出力（データメモリ異常）、  
E R 2 エラー出力（リセット手段）、  
E R 3 エラー出力（リセット手段）、  
R S T リセット信号出力、 W D ウォッチドッグ信号  
2 0 2 ・ 4 0 2 システム異常判定手段、  
2 0 5 ・ 4 0 5 欠落・混入検出手段（異常検出手段）、  
2 0 7 ・ 4 0 7 帯域比較手段（異常判定手段）、  
2 0 9 第 1 の転送手段、  
4 0 9 a 第 1、第 3 の転送手段、 4 0 9 b 相互転送手段、  
2 1 1 ・ 4 1 1 a ・ 4 1 1 b 異常履歴記憶手段（E E P R O M）、  
2 1 3 ・ 4 1 3 第 2 の転送手段、  
2 2 0 ・ 4 2 0 欠落・混入検出手段、  
2 2 1 ・ 4 2 1 一致判定手段（基準データ格納メモリ）、  
2 2 2 ・ 4 2 2 帯域比較手段、  
2 2 4 ・ 4 2 4 記憶判定手段、  
2 2 5 ・ 4 2 5 異常履歴記憶手段（R A M）、  
2 3 0 ・ 4 3 0 異常履歴記憶手段（F M E M）、  
2 4 1 ・ 4 4 1 退避処理手段、  
2 4 2 電源遅延遮断手段

【書類名】 図面

【図1】



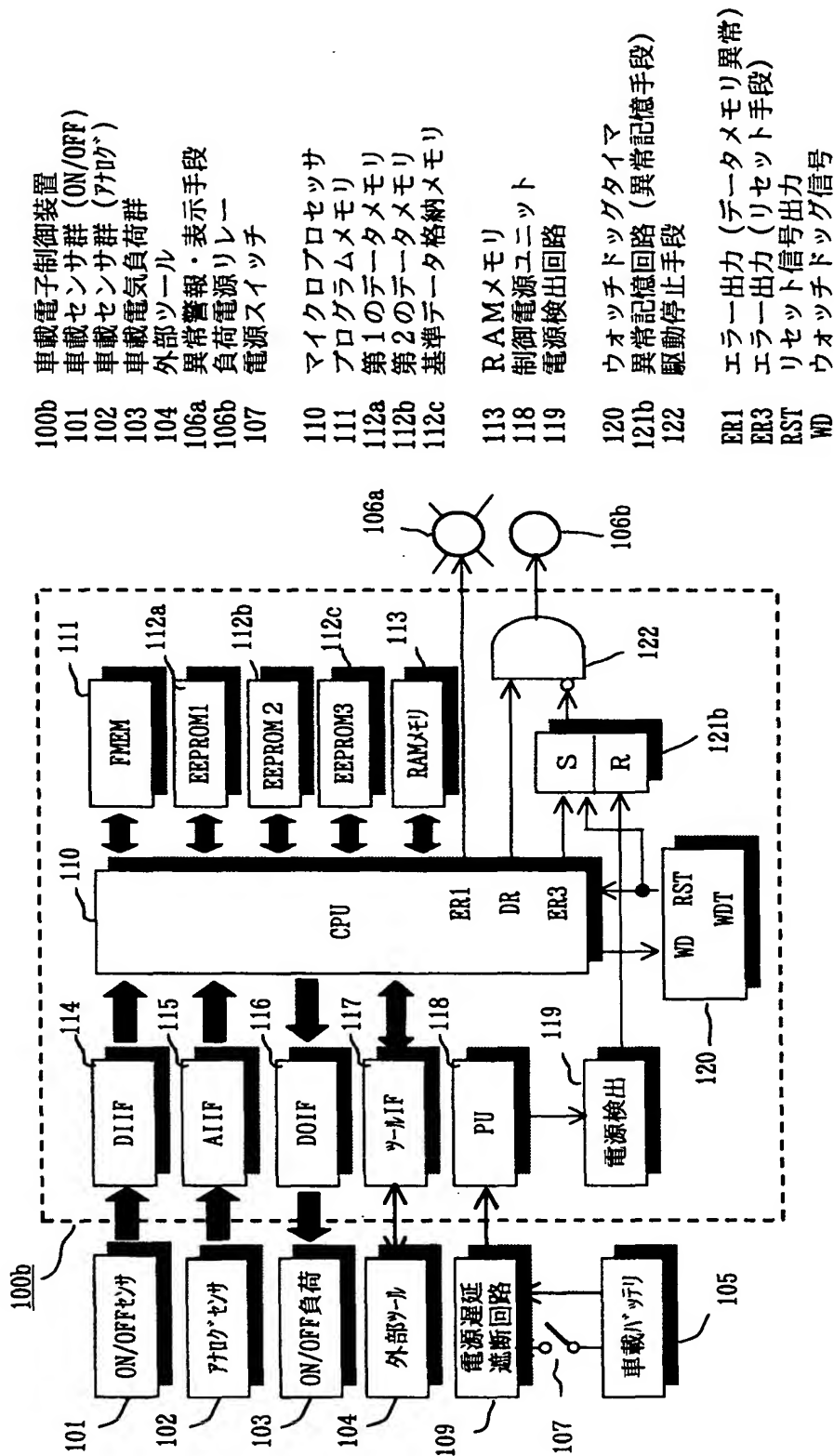
【図 2】



202 システム異常判定手段  
205 欠落・混入検出手段（異常判定手段）  
207 帯域比較手段（異常判定手段）  
209 第1の転送手段  
211 異常履歴記憶手段  
213 第2の転送手段

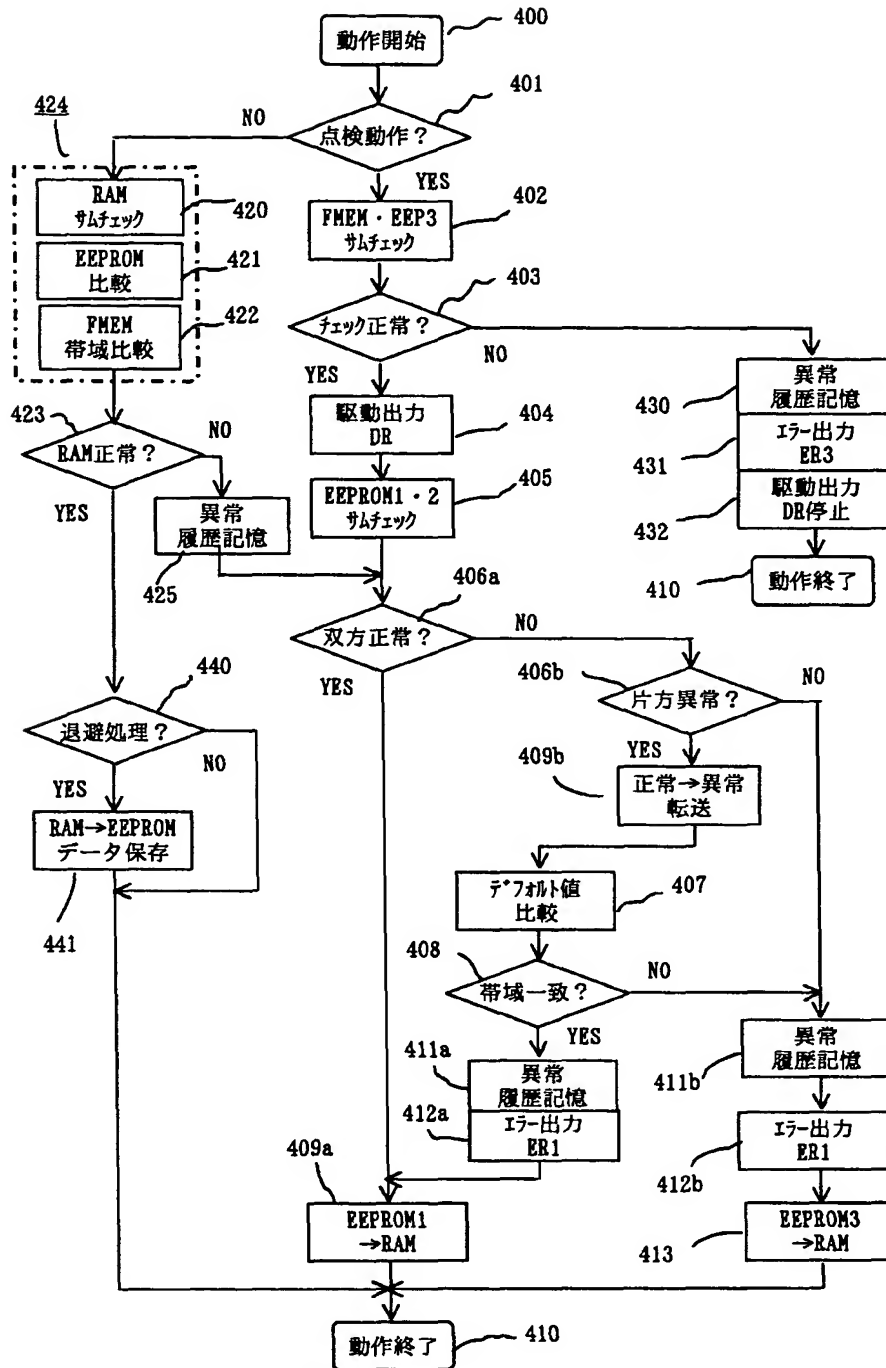
220 欠落・混入検出手段  
221 一致判定手段  
222 帯域比較手段  
224 異常検出手段  
225 異常履歴記憶手段  
230 異常履歴記憶手段  
241 退避処理手段  
242 電源遅延遮断手段

【図 3】





【図 4】



- |      |                   |     |           |
|------|-------------------|-----|-----------|
| 402  | システム異常判定手段        | 420 | 欠落・混入検出手段 |
| 405  | 欠落・混入検出手段（異常判定手段） | 421 | 一致判定手段    |
| 407  | 帯域比較手段（異常判定手段）    | 422 | 帯域比較手段    |
| 409a | 第1・第3の転送手段        | 424 | 異常検出手段    |
| 409b | 相互転送手段            | 425 | 異常履歴記憶手段  |
| 411a | 異常履歴記憶手段          | 430 | 異常履歴記憶手段  |
| 411b | 異常履歴記憶手段          | 441 | 退避処理手段    |
| 413  | 第2の転送手段           |     |           |

【書類名】            要約書

【要約】

【課題】    データメモリをEEPROMなどの電氣的に書き換えの容易な不揮発性のメモリで構成するとともに、このデータメモリの記憶内容に異常が生じた場合の異常判定と異常対策を行った車載電子制御装置を提供する。

【解決手段】    この発明による車載電子制御装置は、さらに基準データ格納メモリと、データメモリ異常判定手段と、RAMメモリに対する少なくとも2つの転送手段を備えている。基準データ格納メモリはデータメモリに書き込まれる可変制御定数データに対する基準データを格納する。データメモリ異常判定手段は、データメモリに書き込まれた可変制御定数データが正常か異常かを判定する。第1の転送手段はデータメモリからRAMメモリへ可変制御定数データを転送書き込みする。第2の転送手段は基準データ格納メモリからRAMメモリに基準データに基づく推定可変制御定数データを書き込みする。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内 2 丁目 2 番 3 号  
氏 名 三菱電機株式会社